

МИНИСТЕРСТВО РОССИЙСКОЙ ФЕДЕРАЦИИ
ПО СВЯЗИ И ИНФОРМАТИЗАЦИИ
Московский технический университет связи и информатики
Кафедра МКиИТ

Методические указания
для контрольной работы
УСТРОЙСТВО СБОРА ДАННЫХ
по дисциплине

Вычислительная техника

Москва 2018

План УМД на 2018/19 уч. г.

Методическое указание
для контрольной работы
УСТРОЙСТВО СБОРА ДАННЫХ

По дисциплине
ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА

Составитель: А.В Алешинцев, ст. преподаватель

Издание утверждено....

Рецензент.....

Введение

Информационно-измерительные и управляющие цифровые микропроцессорные системы, к которым относятся проектируемое устройство сбора данных (УСД), предназначены для измерения, сбора обработки, хранения и отображения информации с реальных объектов. Такие системы используются практически во всех отраслях народного хозяйства для контроля и управления технологическими процессами, накопления статических данных. В радиотехнических системах и в технике связи УСД используются для обработки сигналов, функционального контроля каналов связи, диагностирования состояния аппаратуры. Первичная информация в УСД поступает, как правило, по каналам от датчиков в виде аналогового напряжения. В УСД информационные каналы опрашиваются. Поступающие из них мгновенные отсчеты сигналов преобразуются в цифровую форму и помещаются в оперативное запоминающее устройство (ОЗУ) с целью последующей их обработки.

Аппаратура УСД состоит из двух частей - операционного и управляющего устройств (ОУ и УУ). УУ является цифровым автоматом, который вырабатывает в некоторой временной последовательности управляющие сигналы. Существуют два принципиально разных подхода к проектированию микропрограммного автомата: использование принципа схемной логики и программной логики. В данном пособии приведены методические указания для проектирования УСД на принципах схемной логики. Проектирование цифрового автомата с использованием программируемой логики рассматривается в [1,2].

1. Задание

Спроектировать устройство сбора данных. Имеется F аналоговых информационных каналов. Необходимо, опрашивая их, получаемые из каналов аналоговые величины с помощью АЦП преобразовать в цифровую форму (в двоичные слова стандартной длины 1 байт=8 бит) и помещать в последовательные ячейки некоторой области ОЗУ, начиная с ячейки, имеющей адрес G .

Цифровая процессорная система, фрагментом которой является проектируемое УСД, в своем составе имеет ОЗУ емкостью Q с форматом адресного слова до двух байт в зависимости от Q .

Исходными данными для проектирования являются: количество опрашиваемых каналов F , емкость памяти O (тета), начальной адрес ячейки памяти G , двухразрядные коды состояний УУ- a_0, a_1, a_2, a_3 , порядок опроса каналов. Варианты индивидуальных заданий приведены в табл.1. Порядок опроса каналов задается преподавателем

Таблица №1

№ варианта	F10	G16	O(тета)	A0	A1	A2	A3
1	9	0331	8192 x 8	10	01	00	11
2	10	01E5	2048 x 8	00	01	11	10
3	11	0083	512 x 8	00	10	01	10
4	12	0611	32772 x 8	00	11	01	10
5	13	01AE	8192 x 8	00	11	10	01
6	14	0101	2048 x 8	00	10	11	01
7	15	00B8	512 x 8	11	00	10	01
8	5	04A2	32772 x 8	11	01	00	10
9	6	0016	8192 x 8	11	01	10	00
10	7	0108	2048 x 8	11	10	00	01
11	8	0050	512 x 8	11	10	01	00
12	9	02D1	32772 x 8	01	10	00	11
13	10	012A	8192 x 8	01	00	10	11
14	11	00A5	2048 x 8	01	00	11	10
15	12	0026	512 x 8	01	10	11	00
16	13	0D0B	32772 x 8	01	11	10	00
17	14	0CC3	8192 x 8	01	11	00	10
18	15	026A	2048 x 8	10	01	11	00
19	5	00B0	512 x 8	10	00	01	11
20	6	30D1	32772 x 8	10	11	01	00
21	7	01B7	8192 x 8	10	11	01	00
22	8	00A1	2048 x 8	10	11	00	01
23	9	003B	512 x 8	00	01	11	10
24	10	0D06	32772 x 8	11	01	00	10
25	5	04F6	8192 x 8	00	01	10	11
26	6	0132	2048 x 8	01	10	11	00
27	7	003C	512 x 8	10	11	00	01
28	8	0520	32772 x 8	11	00	01	10

* Индексы при F и G обозначают системы счисления, в которых заданы эти данные.

Синхронизация работы процессорного устройства осуществляется от генератора тактовых импульсов (ГТИ). Частота синхроимпульсов $f=500$ кГц.

Требуется:

1. Исходя из задания разработать ОЗУ цифровой системы.
2. Разработать системы формирования адресов ячеек ОЗУ и номеров опрашиваемых каналов.
3. Реализовать УСД в виде процессорного устройства, построенного на принципах схемной логики, и привести его функциональную схему.
4. Синтезировать схему управляющего устройства.
5. Составить полную электрическую схему УСД.
6. Оценить быстродействие УСД.

2. Структурная схема и состав УСД

Структурная схема УСД приведена на рис.1 (смотри приложение в конце методических указаний). В состав УСД входят: Мультиплексор (MS): имеет F аналоговых входов и m управляющих (адресных) входов. При подаче на адресный вход двоичного числа - адреса происходит подключение одного из аналоговых каналов, имеющего данный адрес, к MS. Число опрашиваемых аналоговых каналов связано с числом адресных входов $k=2m$.

АЦП: имеет 1 аналоговый вход и 8 выходов, по которым в двоичном параллельном коде выдается число, соответствующее уровню поданного на вход АЦП отсчета аналогового сигнала. Перед началом работы АЦП на него должен быть подан сигнал запуска.

АЦП выполняет преобразование за несколько тактов. После окончания преобразования АЦП выдает сигнал ОК (окончание преобразования) на устройство управления. Сигнал ОК – флаг (обозначаем как Тфл), должен быть зафиксирован с помощью триггера до момента окончания записи данных опрашиваемого канала в ячейку памяти ОЗУ. MS и АЦП берутся как стандартные схемы с соответствующими характеристиками.

Устройство управления на некоторых тактовых интервалах с учетом оповещительных сигналов, поступающих от других устройств (в дальнейшем такие сигналы обозначаются буквой X;), формирует управляющие сигналы Y_n , которые обеспечивают запуск других устройств и согласованную их работу. В ходе выполнения контрольной работы разрабатываются: ОЗУ, устройство выработки адреса памяти, устройство выработки адреса каналов, а также УУ.

3. Рекомендации по разработке УСД

Разработку УСД рекомендуется проводить в следующей последовательности:

- разработка запоминающего устройства;
- разработка блока выработки адреса ЗУ;
- разработка блока выработки адресов каналов коммутатора;
- составление схемы УСД на функциональном уровне;
- определение последовательности выработки микроопераций УСД;
- составление блок-схемы алгоритмов и графа функционирования УСД
- синтез управляющего устройства
- составление полной схемы УСД;
- оценка быстродействия схемы.

При разработке блоков и отдельных узлов УСД следует произвести выбор по справочной литературе микросхем, входящих в данный блок (за исключением мультиплексора и АЦП). Выбранные элементы должны быть совместимы по уровню рабочих сигналов с ТТЛ. В контрольной работе привести графическое изображение, тип выбранной микросхемы, её характеристики, назначение выводов.

Дополнительные требования и уточнения к заданию определяются преподавателем.

4. Требования к оформлению контрольной работы.

Контрольная работа, рисунки и схемы, полная схема УСД, оформляются на листах бумаги формата А4. Контрольная работа должна содержать титульный лист стандартного образца. В начале содержание, затем задание, структурная схема УСД с кратким описанием принципа ее работы и далее помещаются материалы в порядке разработки отдельных блоков и узлов устройства. Рубрикация должна соответствовать пунктам задания. Список использованной литературы, составленный в соответствии с ГОСТом, приводится в конце работы. Разделы должны иметь сквозную нумерацию. Графический материал должен соответствовать принятым обозначениям. Приводится графическое изображение выбранных микросхем с описанием назначения используемых в работе УСД выводов. Контрольная работа должна содержать выполнение всех пунктов задания. Объем контрольной работы не должен превышать 10-15 страниц. Работа должна иметь нумерацию страниц и сдается в сшитом виде.

5. Реализация УСД на принципах схемной логики.

5.1 Разработка блока выработки адреса ЗУ.

Размещение данных начинается с ячейки с заданным начальным адресом G и затем переходит в ячейки, адреса которых на единицу больше адреса предыдущей, т.е. размещение данных идет в ячейки с последовательно возрастающими адресами.

Таким образом, нужно синтезировать устройство, которое могло бы, начиная с определенного начального адреса, производить формирование последующих адресов, отличающихся друг от друга на единицу. Длина адресного слова определяется емкостью памяти.

Разработку такого устройства можно осуществить применением счетчиков. Выбор типа счетчика производится по справочнику. Счетчик должен иметь выходы для предустановки начального адреса.

Блок должен разрабатываться с учетом выработки адресов всех ячеек памяти одной линейки. Адрес подаваться параллельно на 1-ю и 2-ю линейки, а обращение к той или иной линейке! определяется командой < Выбор кристалла>.

5.2 Разработка блока выработки адресов каналов коммутатора.

Порядок опроса каналов от 1 до F оговаривается в задании. Например, нулевой канал может быть опрошен третьим, а канал F вторым или пятым и т.п. Разработка блока может вестись двумя путями: - с использованием 16-разрядного счетчика, последовательно генерирующего двоичные адресные числа от 0 до F с перекодировкой данной последовательности с помощью дешифратора и шифратора. Этот способ рассматривается в лекционном курсе. После опроса всех каналов необходимо использовать схему прерывания счета и сформировать сигнал сброса счетчика в "0". Этот же сигнал используется для УУ в качестве осведомительного об окончании цикла опроса всех каналов.

Второй способ заключается в синтезе сигналов возбуждения ряда триггеров, выходы которых формируют двоичные числа, соответствующие номеру опрашиваемого канала. Вариант работы задаётся преподавателем.

В варианте со счетчиком его разрядность должна обеспечивать возможность опроса всех каналов. После опроса всех каналов, при необходимости, надо использовать схему вырабатывающую сигнал принудительной остановки счета. Этот сигнал также может быть использован в качестве осведомительного сигнала $X2$ об окончании цикла опроса всех каналов.

Адрес опрашиваемого канала подается на коммутатор (мультиплексор MS)

параллельным двоичным кодом через ключи. Это делается для синхронного поступления на MS сигналов всех разрядов адресного слова.

5.3 Словесное описание цикла сбора данных

Составим словесное описание работы УСД в виде последовательности выполняемых в нем микроопераций.

1. Цикл сбора данных начинается с того, что в счетчик СТ2(1) блока выработки адресов ячеек памяти производится запись адреса первой ячейки области памяти ОЗУ, отведенной для хранения данных. Очевидно, что в качестве СТ2(1) удобно использовать такой счетчик, в котором предусмотрена возможность предустановки начального адреса (НА). Ввод начального адреса осуществляется параллельным кодом. Подав на одни входы установки НА логический ноль (потенциал земли или корпуса), а на другие - логическую единицу (напряжение источника питания), можно обеспечить запись требуемого адреса в счетчик в одном такте.

2. Счетчик СТ2(1) блока выработки номера канала сбрасывается в "0". Тем самым в нём формируется адрес аналогового канала, опрашиваемого первым.

3. Производится сброс в "0" триггера Тфл (гашение флага). При записи данных первого из опрашиваемого каналов Тфл=0. Однако перед началом опроса всех последующих каналов, поскольку состояние триггеров флага фиксируется, Тфл-1. Поэтому эта микрооперация необходима.

4. Адрес аналогового канала из СТМ2(2) выдается на адресные входы коммутатора. Коммутатор подключает первый опрашиваемый канал к входу АЦП.

5. Производится запуск АЦП, и в нём начинается процесс аналого-цифрового преобразования.

6. Проверяется содержимое триггера Тфл. Пока Тфл=0, устройство пребывает в режиме ожидания окончания преобразования в АЦП. По окончании преобразования АЦП вырабатывает сигнал ОК, устанавливающий Тфл в состоянии 1. Как только Тфл устанавливается в 1, при наличии разрешающего сигнала, осуществляется запись данных с выхода АЦП в требуемую ячейку памяти.

7. В СТ2(1) подготавливается адрес следующей ячейки ОЗУ путем прибавления единицы к содержимому счетчика (к адресу предыдущей ячейки).

8. В СТ2(2) формируется адрес следующего аналогового канала путем прибавления единицы к содержимому счетчика.

9. Проверяется содержимое счетчика СТ2(2). Если $(СТ2) = 0$, то операции 3-8 повторяются. В противном случае происходит завершение цикла сбора данных (выход из цикла), так же каналы оказываются опрошенными.

На основании словесного описания составим в соответствующем порядке список микроопераций, необходимых для управления ОУ:

у2-разрешение записи начального адреса G в СТ2(1)

у1- установка в 0 СТ2(2) (сброс), $(СТ2(2) \leftarrow 0)$

у3- сброс Тфл ($Тфл \leftarrow 0$)

у4- разрешение передачи адреса аналогового канала на коммутатор [комм. $\leftarrow (СТ2(2))$];

у5- запуск АЦП(зап. АЦП)

у6- разрешение записи данных из АЦП в ОП [ОП $\leftarrow (АЦП)$]:

у7- увеличение на 1(СТ2(1)) приращение счетчика.[$СТ2(1) \leftarrow (СТ2(1))+1$];

у8- увеличение на1 (СТ2(2)) -приращение счетчика [$СТ2(2) \leftarrow (СТ2(2))+1$];

В процессе выполнения цикла сбора данных в ОЗУ УСД вырабатывается осведомительные сигналы : сигнал $X1=1$ - сигнал ОК и сигнал $X2=1$ -завершение цикла сбора данных (опроса всех каналов). Если количество каналов меньше 16, а используется 16-разрядный счетчик, то необходимо составить схему, вырабатывающую сигнал логической единицы для обнуления счетчика после опроса всех каналов.

5.4 Составление схемы УСД на функциональном уровне

На основании словесного описания принципа работы УСД с учетом последовательности микроопераций составляется более подробная по сравнению с рис. 1 (смотри в приложении) структурная схема с отражением на ней всех 8 проводников, по которым с УУ поступают в исполнительное устройство сигналы микроопераций (рис.3.).

5.5 Синтез управляющего устройства

5.5.1 Общая Структурная схема УУ

УСД состоит из двух основных узлов: операционного узла (ОУ) и узла управления операциями, реализуемыми процессором. В нашем примере на входы ОУ поступают данные с выхода АЦП, представленные в виде параллельного двоичного кода, а преобразования, осуществленные в ОУ состоят в примере этих данных из того или иного аналогового канала и пересылки их в требуемые ячейки оперативной памяти.

УУ в определенной последовательности формируют управляющие сигналы y_1, y_2, \dots и с их помощью координирует работу элементов схемы ОУ, обеспечивая в нем требуемую обработку информации. Под действием каждого из этих сигналов в элементах ОУ производятся некоторые элементарные действия, называемые микрооперациями. К числу таких действий, например, относятся разрешение записи данных в память, приведение в исходное состояние счетчика и т.п.

В каждый тактовый период синхроимпульсов в ОУ может выполняться одна или несколько независимых друг от друга микроопераций в различных элементах схемы. Набор микроопераций, выполняемых в ОУ одновременно (в одном такте), называется микрокомандой (МК), т.е. для управления всеми микрооперациями достаточно выдачи, из УУ одного сигнала, который далее разветвляется по всем соответствующим направлениям. При необходимости управления микрооперациями сигналом "0", МК=1, в цель передачи устанавливается инвертор.

УУ работает под действием команд - двоичных кодов, подаваемых на входы Z_1, Z_2, \dots . На входы X_1, X_2, \dots УУ поступают осведомительные сигналы, иначе называемые условиями или признаками, которые формируются ОУ и влияют на последующие значения управляющих сигналов Y , определяя тем самым последующие этапы преобразования операндов в зависимости от результатов, полученных в ОУ при выполнении предыдущей микрокоманды.

5.5.2 Блок-схема алгоритма функционирования ЦУ в микрооперациях и микрокомандах.

Блок-схема алгоритма функционирования (рис.2 См. Приложение) составляется на основе словесного описания и списка микроопераций. Анализ алгоритма показывает, что микрооперации y_1, y_2 ; а так же $y_3, y_4, y_5, y_6, y_7, y_8$ не зависят друг от друга и могут выполняться одновременно в одном такте (каждая группа в соответствующем такте). Таким образом эти микрооперации в группах могут быть объединены в микрокоманды (рис.4. см. прилож.)

5.5.3 Построение графа функционирования УСД.

Произведем разметку блок-схем рис.4. Начало и конец блок-схемы обозначим a_0 , что соответствует исходному состоянию управляющего автомата (УУ). Далее вход каждого блока, следующего за операторными блоками, которые имеют прямоугольную форму, помечаем символами a_1, a_2, a_3 соответствующими последующим состояниям УУ.

Построение графа осуществляется на основе произведенной разметки блок-схемы алгоритма. Каждому из состояний a_0, a_1, \dots управляющего автомата соответствует узел графа (рис.5). Дугами графа изображаются переходы автомата из одного состояния в другое. Возле каждой дуги указывается условие (если оно есть) перехода X и выполняемая на данном тактовом интервале микрокоманда Y .

Переходы синхронного автомата из одного состояния в другое происходят в тактовые моменты времени под действием синхроимпульсов, если условия перехода отсутствуют или эти условия выполняются. Если же условия не выполняются, то УУ работает в режиме ожидания. При поступлении осведомительного сигнала на тактовом интервале переход в новое состояние осуществляется при приходе следующего тактового импульса.

5.5.4 Этап структурного синтеза УУ

На этом этапе определяется состав входящих в УУ блоков и устанавливается связи между ними. Переход УУ из одного состояния в другое происходит в моменты действия синхроимпульсов или в моменты их окончания. В период между ними вновь принятое состояние должно фиксироваться системой постоянно действующих сигналов, т.е. в составе УУ должна быть память. Каждому состоянию должен соответствовать свой цифровой сигнал, в цифровом автомате - код. В проектируемом автомате 4 состояния. Для установки такого количества состояний достаточно вырабатывать двухразрядный двоичный код, а для его фиксации можно использовать два триггера. Так как каждый из триггеров обладает двумя устойчивыми состояниями, то совокупность двух триггеров позволяет зафиксировать эти 4 состояния. Естественно, что для приведения триггеров в необходимое состояние, потребуется схема, которая на основании знания предыдущего состояния и учета осведомительных сигналов, должна вырабатывать соответствующие сигналы возбуждения входов триггеров. Эта схема может не содержать элементов памяти, т.е. в качестве такой схемы может использоваться комбинационное цифровое устройство - КЦУ. С целью синхронности срабатывания триггеров во избежание возникновения ошибочных комбинаций, для ЗУ УУ следует выбирать динамический тип триггеров, т.е. триггеры, которые в процессе перехода автомата в новое состояние $a(t+1)$ не изменяют свои выходы Q и \bar{Q} лишь завершающего УУ. Выходные сигналы триггеров $Q1$ и $Q2$ должны устанавливать и фиксировать на выходе код, соответствующий вновь принимаемому состоянию на данном тактовом периоде или обеспечить сохранение кода в случае отсутствия разрешающего (осведомительного) сигнала на переход и новое состояние.

Теперь можно изобразить укрупнённую схему УУ (рис 6. см. приложение). Эта схема содержит КЦУ и ЗУ, состоящее из двух ЖК триггеров. Как известно для обеспечения перехода Ж из состояния $a(t)$ в новое состояние $a(t+1)$, на входы J и K нужно подавать определенные сигналы возбуждения. Набор таких сигналов показан в табл.2 .

Таблица №2

Вид перехода		Входные сигналы	
Q(t)	Q(t+1)	J(t)	K(t)
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

Как следует из укрупненной структурной схемы УУ, сигналы X_1, X_2, Q_1 и Q_2 выступает в роли аргументов, а J_1, K_1, J_2, K_2 , а также Y_1, Y_2, Y_3 являются логическими функциями, которые должен реализовывать аппаратно КЦУ. Имея конкретные наборы значений аргументов и соответствующих им значений функций, можно синтезировать структуру КЦУ. В качестве примера проведем КЦУ для первого варианта индивидуальных заданий (табл. 1). Для этого составим таблицу функционирования УУ в следующем виде.

Таблица №3

№ п/п	Условия перехода		Предыдущее состояние $a(t), Q(t)$			Следующее состояние $a(t+1), Q(t+1)$			Сигнал возбуждения триггеров для перехода в следующее состояние				Выполнение МК		
	X_1	X_2	a_i	Q_2	Q_1	a_i	Q_2	Q_1	J_2	K_2	J_1	K_1	Y_1	Y_2	Y_3
1	-	-	a_0	1	0	a_1	1	1	-	0	1	-	1	0	0
2	-	-	a_1	1	1	a_2	0	0	-	1	-	1	0	1	0
3	0	-	a_2	0	0	a_2	0	0	0	-	0	-	0	0	0
4	1	-	a_2	0	0	a_3	0	1	0	-	1	-	0	0	1
5	-	0	a_3	0	1	a_1	1	1	1	-	-	0	0	0	0
6	-	1	a_3	0	1	a_0	1	0	1	-	-	1	0	0	0

В таблице представлены сигналы переходов из одного состояния УСД в другое при опросе одного информационного канала. Если это канал с номером от 0 до $F-1$, то переходы осуществляются по пунктам 1, 2, 3, 4, 5 таблицы. Если это последний канал, то переходы осуществляются по схеме 1-2-3-4-5-6.

Таблица устанавливает связь между аргументами и значениями функции J_i, K_i, Y_n ($i=1; n=1,2,3$). Однако не все J, K и Y зависят от всего набора аргументов. Проведем

анализ таблицы: 1 и 2 строки таблицы соответствуют переходам из исходного состояния a_0 в a_1 и из a_1 в a_2 . При этом эти переходы могут совершаться при значениях X_1 и X_2 , равных как 0, так и 1. Переход из состояния a_2 в a_3 обусловлен значением X_1 . Если $X_1=0$, т.е. АЦП не закончило преобразование аналоговой амплитуды сигнала в цифровую, УУ остается в режиме ожидания в состоянии a_2 сколько бы тактов не прошло. Это отражается на 3-й строке таблицы. При $X_1=1$ осуществляется переход из состояния a_2 в состояние a_3 . Пока не опрошены все каналы и $X_2=0$, граф переходит из состояния a_3 в состояние a_1 . Если $X_2=1$ т.е. все каналы опрошены, граф переходит из состояния a_3 в a_0 -цикл опроса всех каналов завершен.

На основании данных приведенных в таблице, проведем синтез схемы КЦУ для сигналов возбуждения триггеров и сигналов команд. Сделаем первоначально синтез для J_1 .

Из таблицы функционирования следует, что данный сигнал зависит от аргументов Q_1, Q_2 и X_1 . Воспользовавшись картой Вейча для функции трех аргументов, найдем МДНФ для J_1 (рис 7. см. приложение).

МДНФ для остальных функций находятся аналогично: первоначально надо определить, функцией каких аргументов является рассматриваемый сигнал возбуждения (или сигнал МК), а затем заполнить соответствующую карту Вейча для 2 или 3 аргументов.

На основании полученных с помощью карт Вейча выражений строим обобщенную схему КЦУ в базисах И-ИЛИ (рис. 8. см. приложение).

6. Составление полной схемы УСД

Полная схема УСД составляется из фрагментов спроектированных блоков и узлов. Схема приводится в работе на листе бумаги формата А3 или А4. При составлении схемы необходимо продумать, каким образом реализовать команду "Останов" УСД, так как в изложенном варианте нетрудно заметить, что схема будет непрерывно работать и записывать данные по одним и тем же адресам. Этот режим работы нереален. Следует предусмотреть режим работы с попеременной записью информации: сначала в одну линейку памяти, затем во вторую, потом "Останов", либо проведение повторных записей информации в обе линейки. Варианты прекращения опроса могут быть заданы преподавателем.

7.Оценка быстродействия.

Частота синхроимпульсов $f=500$ кГц, т.е $T=2$ мкс. При оценке быстродействия будем считать, длительность акта преобразования в АЦП меньше T (прохождение по малому циклу отсутствует). То есть цикл сбора данных будет состоять из выполнения $Y1$ и F проходов по большому циклу (3 такта). Длительность $S=(1+F \times 3) \times T$.

Приложение

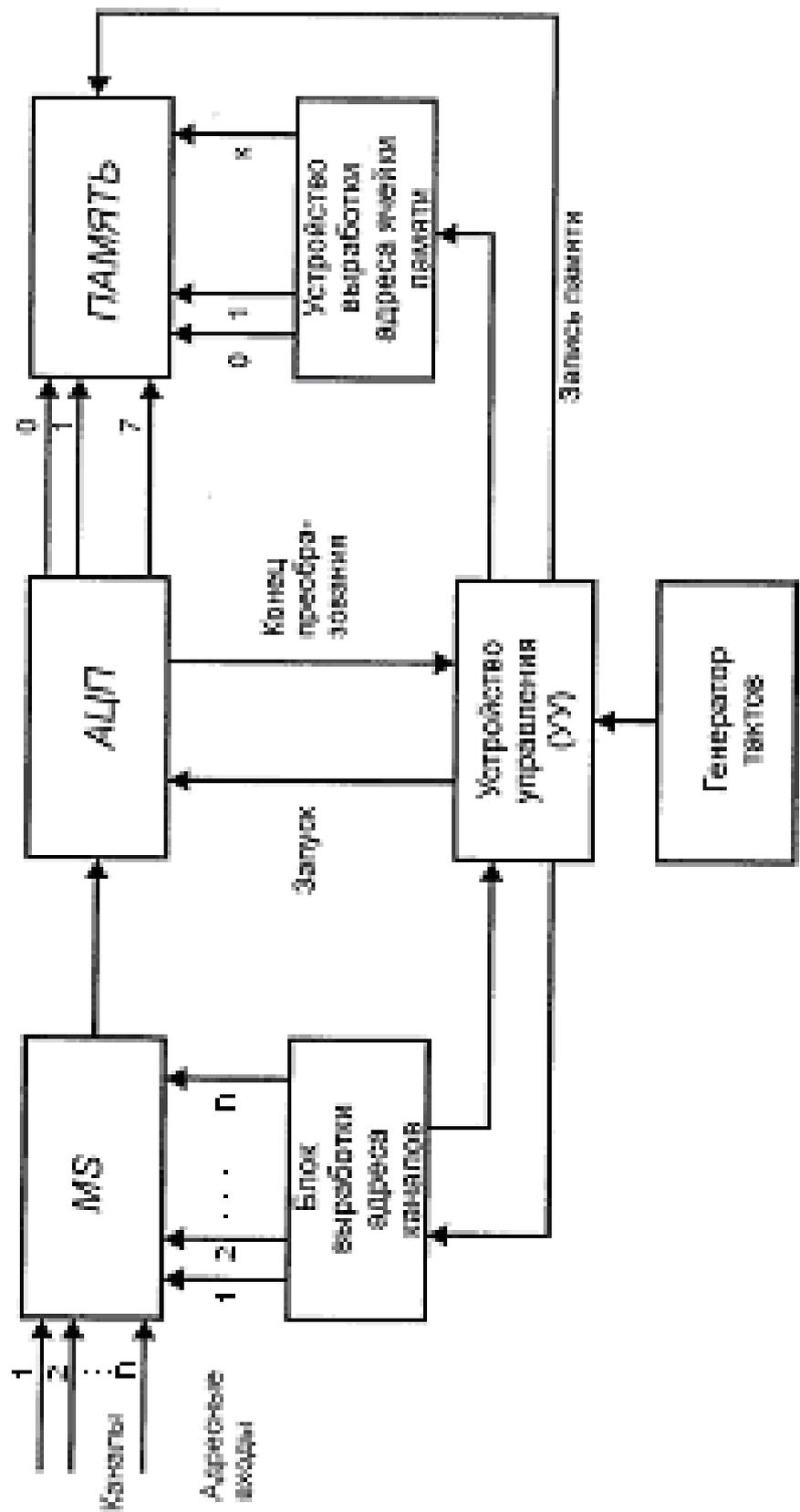


Рис.1

Блок-схема алгоритма функционирования УУ в микрооперациях и
Микрокомандах

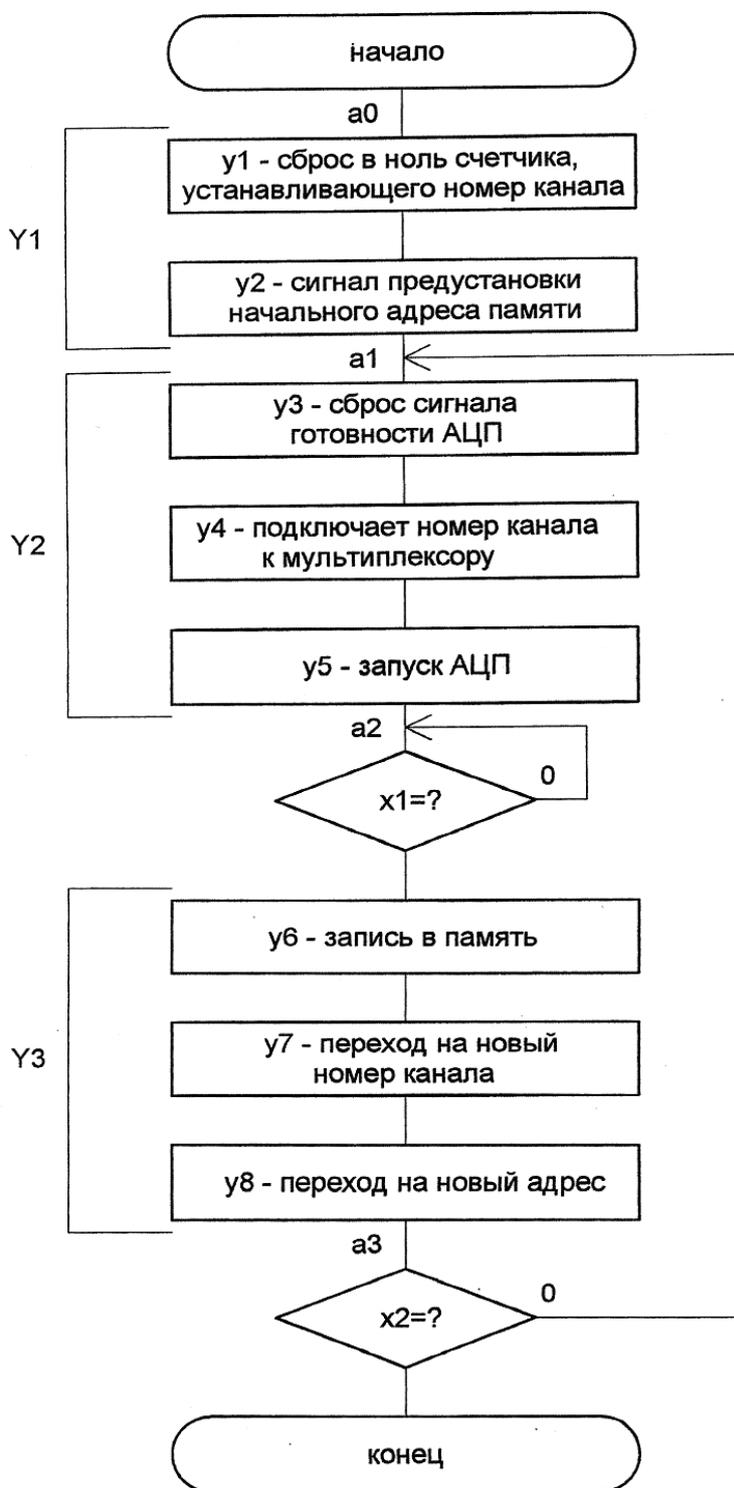


Рис. 2

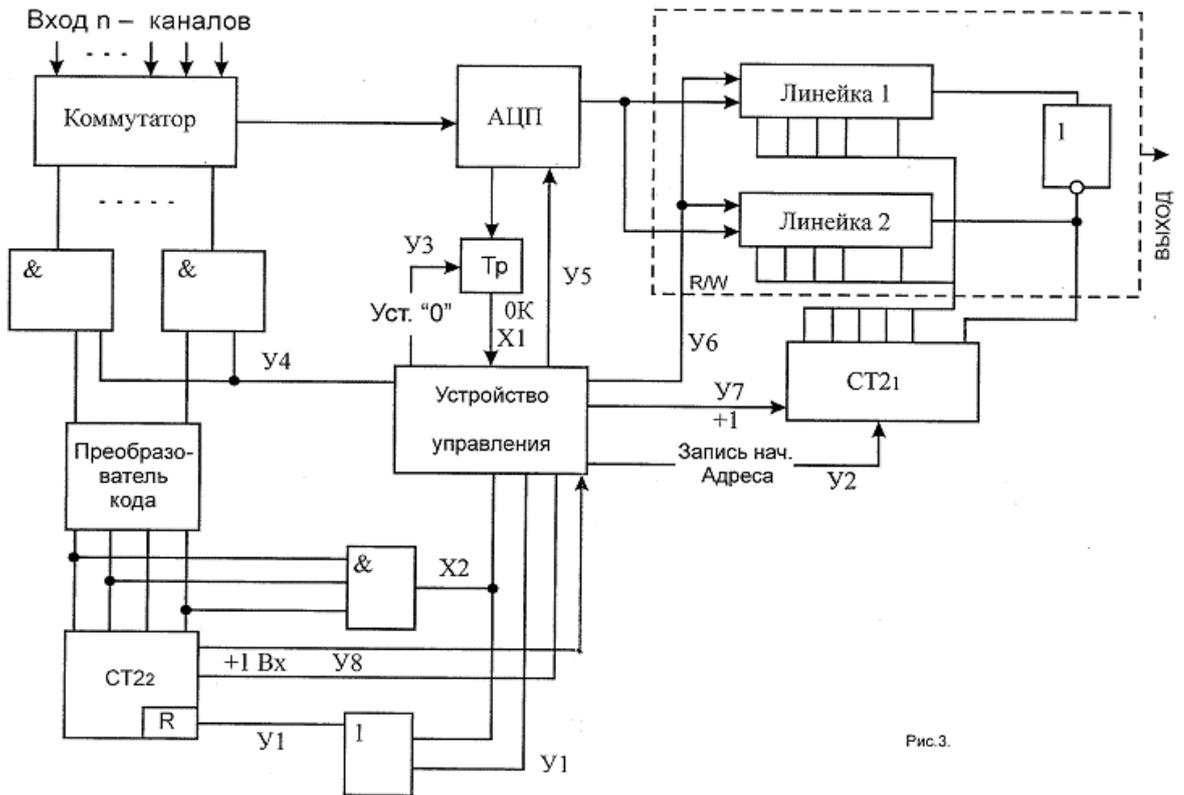


Рис.3.

Рис. 3

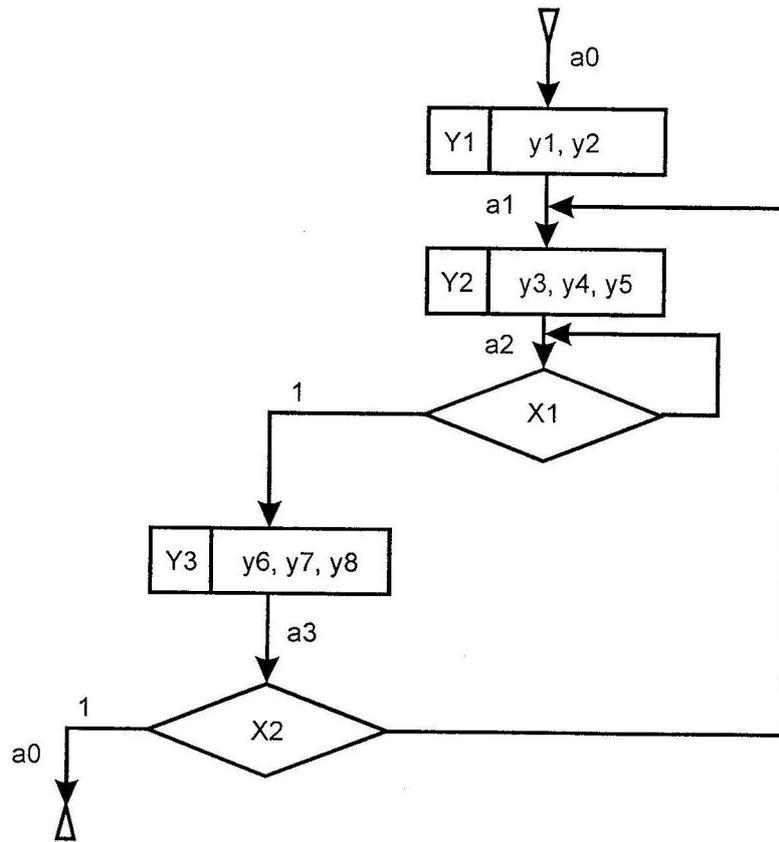


Рис. 4

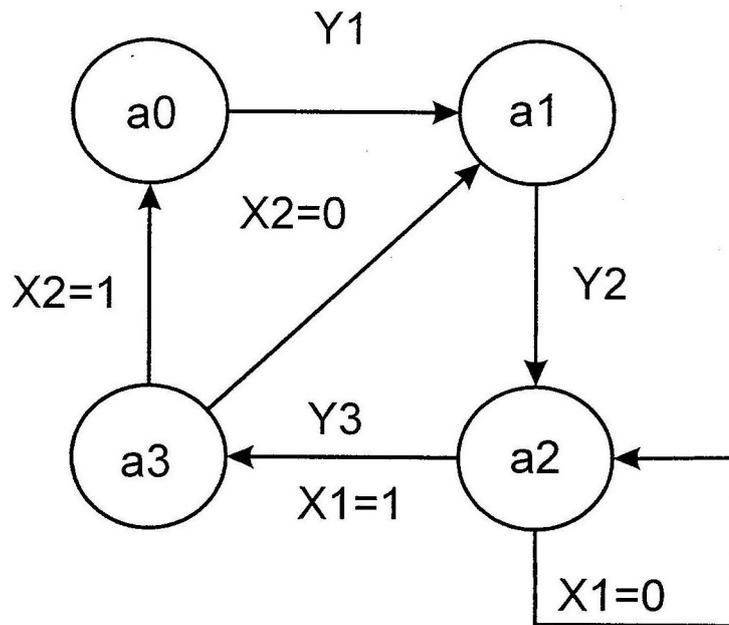


Рис. 5

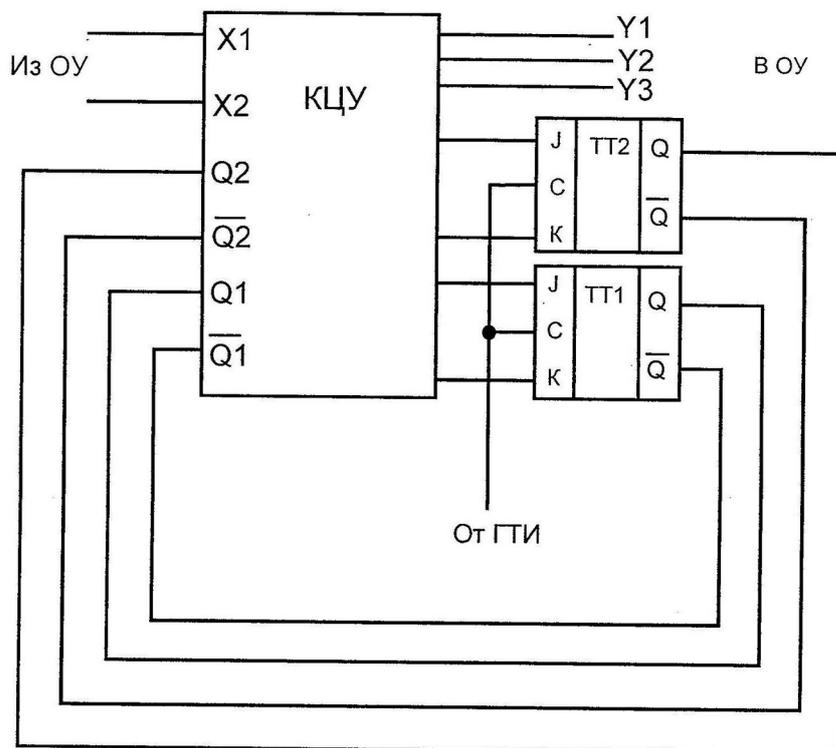


Рис. 6

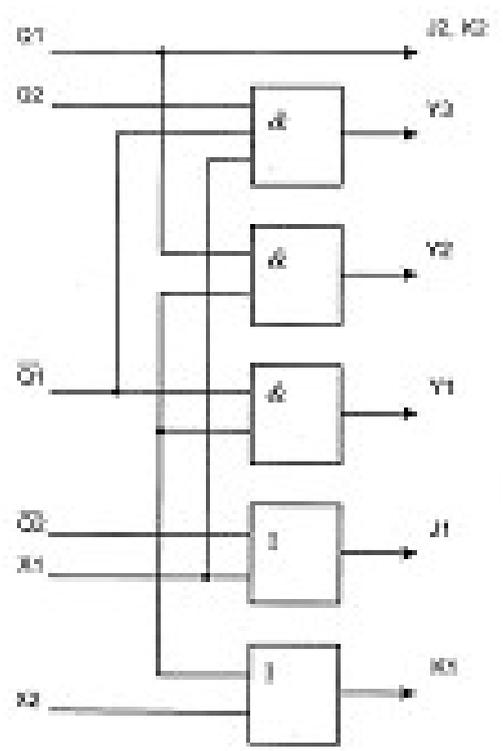
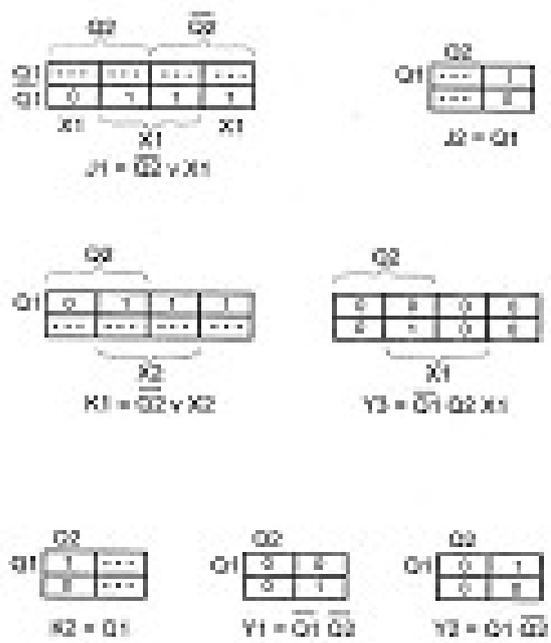


Рис. 7

Список литературы

1. Капелин Г.Г., Тузов В.М. Методические указания к курсовому проектированию, часть 2/МТУСИ,-М., 4986
2. Калабеков Б.А. Цифровые устройства и микропроцессорные системы. -М.: Радио и связь, 2000
3. Калабеков Б.А. Микропроцессорные и их применение в системах передачи и обработки сигналов.-М.: Радио и связь, 1988
4. Нефедов А.В, Интегральные микросхемы и их зарубежные аналоги. - М.: РадиоСофт, тт 1-10, 1996

Методические указания
для контрольной работы
УСТРОЙСТВО СБОРА ДАННЫХ
по дисциплине
Вычислительная техника

Редактор

РИО МГУСИ. Лицензия ЛР № 020477

Подписано в печать 12.03.20.. Формат 60x84/16

Печать офсетная. Объем 1.5 усл.п.д Тираж 300 экз. Изд №5
Заказ 108

ООО" Инфосвязьиздат". Москва, ул Авиамоторная,