

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное
учреждение высшего образования

**ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ СИСТЕМ
УПРАВЛЕНИЯ И РАДИОЭЛЕКТРОНИКИ**

В. М. Ицкович

ЭЛЕКТРОНИКА

Часть 2

Учебное пособие

2017

Рецензент: д-р. техн. наук, профессор ТПУ Ройтман М. С.

Корректор: Осипова Е. А.

Электроника : учебное пособие : в 2 ч. / В. М. Ицкович ; под ред.
В. А. Шалимова. — Томск : ФДО, ТУСУР, 2017. — Ч.2. — 120 с.

© Ицкович В.М., 2017
© Оформление.
ФДО, ТУСУР, 2017

СОДЕРЖАНИЕ

7 ПРЕДМЕТ МИКРОЭЛЕКТРОНИКИ	5
7.1 Основные термины и определения	5
8 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ.....	7
8.1 Классификация логических элементов	7
8.2 Основные характеристики и параметры логических элементов.....	9
8.3 Элементы транзисторно-транзисторной логики	19
8.4 Элементы эмиттерно-связанной логики.....	28
9 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ.....	36
9.1 Инвертор на <i>n</i> -канальных МДП-транзисторах	36
9.2 Инвертор на комплементарных транзисторах.....	38
9.3 Логические элементы И-НЕ и ИЛИ-НЕ	40
9.4 Логические элементы динамического типа	43
9.5 Приборы с зарядовой связью.....	47
9.6 Параметры элементов ПЗС	57
9.7 Разновидности конструкций.....	60
10 Технологические основы микроэлектроники	65
10.1 Общие сведения о технологии изготовления полупроводниковых микросхем.....	65
10.2 Эпитаксия	67
10.3 Диффузия примесей.....	68
10.4 Ионное легирование	72
10.5 Термическое окисление и свойства пленки диоксида кремния.....	75
10.6 Травление.....	77
10.7 Методы получения структур типа <i>Si-SiO₂-Si</i>	80
10.8 Проводники соединений и контакты в полупроводниковых микросхемах	82
10.9 Литография	83

11 ТРАНЗИСТОРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ.....	91
11.1 Особенности структур биполярных транзисторов	91
11.2 Транзисторы с комбинированной изоляцией	97
11.3 Многоэмиттерные транзисторы	100
11.4 Транзисторы с диодом Шоттки.....	101
11.5 Диодное включение транзистора.....	102
11.6 Модель интегрального биполярного транзистора	106
11.7 Полевые транзисторы с управляющим переходом металл-полупроводник	108
12 ПАССИВНЫЕ ЭЛЕМЕНТЫ	112
12.1 Полупроводниковые резисторы	113
12.2 Пленочные резисторы	117
12.3 Конденсаторы.....	117
РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА	120

7 ПРЕДМЕТ МИКРОЭЛЕКТРОНИКИ

7.1 Основные термины и определения

Микроэлектроника — это раздел электроники, включающий исследование, конструирование и производство интегральных микросхем и радиоэлектронной аппаратуры на их основе. Интегральная микросхема (микросхема) — это микроэлектронное изделие, выполняющее определенную функцию преобразования, обработки сигнала и (или) накопления информации и имеющее высокую плотность упаковки электрически соединенных элементов (или элементов и компонентов), которое с точки зрения требований к испытаниям, приемке, поставке и эксплуатации рассматривается как единое целое. Элемент — это часть микросхемы, реализующая функцию электрорадиоэлемента, который не может быть выделен как самостоятельное изделие. Под электрорадиоэлементом понимают транзистор, диод, резистор, конденсатор и др. Элементы могут выполнять и более сложные функции, например логические или запоминание информации (элементы памяти). Компонент — это часть микросхемы, реализующая функцию какого-либо электрорадиоэлемента, которая может быть выделена как самостоятельное изделие. Компоненты устанавливаются на подложке микросхемы при выполнении сборочно-монтажных операций. К простым компонентам относятся бескорпусные диоды и транзисторы, специальные типы конденсаторов, малогабаритные катушки индуктивности и др. Сложные компоненты содержат несколько элементов, например диодные сборки. Плотность упаковки — это отношение числа простых компонентов и элементов, в том числе содержащихся в составе сложных компонентов, к объему микросхемы без учета объема выводов. С точки зрения внутреннего устройства микросхема представляет собой совокупность большого числа элементов и компонентов, размещенных на поверхности или в объеме общей диэлектрической или полупроводниковой подложки. Термин «интегральная» отражает конструктивное объединение элементов и компонентов, а также полное или частичное объединение технологических процессов их изготовления.

При использовании в радиоэлектронной аппаратуре сами микросхемы являются элементами, т. е. простейшими неделимыми единицами. В этом смысле они составляют элементную базу радиоэлектронной аппаратуры. Критерием оценки сложности микросхемы, т. е. числа N содержащихся в ней элементов и простых компонентов, является **степень интеграции**. Она определяется коэффициентом $K = \lg N$, значение которого округляется до ближайшего большего целого числа. Так, микросхема первой степени интеграции ($K = 1$) содержит до 10 элементов и простых компонентов, второй степени интеграции ($K = 2$) — свыше 10 до 100, третьей степени интеграции ($K = 3$) — свыше 100 до 1000. В настоящее время микросхему, содержащую 500 и более элементов, изготовленных по биполярной технологии, или 1000 и более элементов, изготовленных по МДП-технологии, называют большой интегральной микросхемой (БИС). Если число элементов превышает 10000, то микросхему называют сверхбольшой (СБИС). Микросхемотехника (интегральная схемотехника) как одна из основ микроэлектроники охватывает исследования и разработку оптимальных схем. Многие современные микросхемы являются очень сложными электронными устройствами, поэтому при их описании и анализе используются, по меньшей мере, два уровня схемотехнического представления. Первый наиболее детальный уровень — это электрическая схема. Она определяет электрические соединения элементов (транзисторов, диодов, резисторов и др.); на этом уровне устанавливается связь между электрическими параметрами схемы и параметрами входящих в нее элементов. Второй уровень — это структурная схема. Она определяет функциональное соединение отдельных каскадов, описываемых электрическими схемами.

По функциональному назначению микросхемы подразделяются на цифровые и аналоговые. Цифровая микросхема предназначена для преобразования и обработки сигналов, изменяющихся по закону дискретной функции. В аналоговых микросхемах сигналы изменяются по закону непрерывной функции. Самый распространенный тип аналоговых микросхем — это операционные усилители.

8 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Логическими элементами (ЛЭ) называют электронные схемы, выполняющие простейшие логические операции. Логические элементы используются в большинстве цифровых микросхем, с наряду с элементами памяти являются основными элементами, определяющими параметры микросхем. Логические элементы отличаются большим разнообразием. В данной главе описаны наиболее распространенные ЛЭ на биполярных транзисторах.

8.1 Классификация логических элементов

Логические элементы, прежде всего, классифицируют по выполняемым ими логическим функциям. Логические функции изучаются в алгебре логики, или булевой алгебре. Они представляют собой операции над логическими переменными, которые обозначим A , B , C и т. д. В алгебре логики различные логические выражения (высказывания) могут принимать только два значения: «истинно» или «ложно». Для обозначения истинности или ложности высказываний используют соответственно символы 1 или 0. Каждая логическая переменная может принимать только одно значение: 1 или 0.

Все возможные логические функции любого числа логических переменных можно образовать с помощью трех основных операций: логического отрицания (инверсии, операции *НЕ*), логического сложения (дизъюнкции, операции *ИЛИ*) и логического умножения (конъюнкции, операции *И*). Инверсия обозначается знаком « $\bar{}$ » над переменной, например $B = \bar{A}$. Логическая операция *ИЛИ* для двух переменных A и B записывается в виде $C = A + B$ и определяется следующим образом: $C = 1$, если $A = 1$, или $B = 1$, или $A = B = 1$. Логическая операция *И* для двух переменных A и B представляется как $C = AB$, $C = 1$ только в том случае, когда $A = 1$ и $B = 1$. Комбинация логических операций *НЕ* и *ИЛИ* приводит к более сложной функции *ИЛИ-НЕ* $C = \overline{A + B}$. В этом случае значения, принимаемые логической переменной C , противоположны ее значениям для операции *ИЛИ*. Сочетание операций

НЕ и *И* дает логическую функцию *И-НЕ* $C = \overline{AB}$. Логические элементы, как правило, реализуют одну или несколько из перечисленных выше функций *НЕ*, *И*, *ИЛИ*, *И-НЕ*, *ИЛИ-НЕ*. Условные графические обозначения ЛЭ, выполняющих эти функции, представлены на рис 8.1. Соединяя соответствующим образом эти ЛЭ, можно получить микросхему, выполняющую любую более сложную логическую функцию. В принципе для этого достаточно использовать только элементы *И-НЕ* или *ИЛИ-НЕ*, поэтому они получили наибольшее распространение в микросхемах. Выше были приведены логические функции двух переменных. Для их выполнения необходимы ЛЭ с двумя входами (рис. 8.1, б—д). При увеличении числа логических переменных соответственно возрастает и число входов, их может быть три, четыре и более. Логический элемент, выполняющий операцию *НЕ* (рис. 8.1, а), называется инвертором. Он имеет один вход и один или несколько выходов. В последнем случае для любого из k выходов выполняется операция

$$B_i = \overline{A} \quad (i = 1, 2, 3, k).$$

В большинстве логических элементов современных микросхем логические нули (лог 0) и единицы (лог 1) представляются двумя существенно различающимися значениями напряжения (потенциала). Логическому нулю обычно соответствует напряжение низкого уровня U^0 , а логической единице — напряжение высокого уровня U^1 .

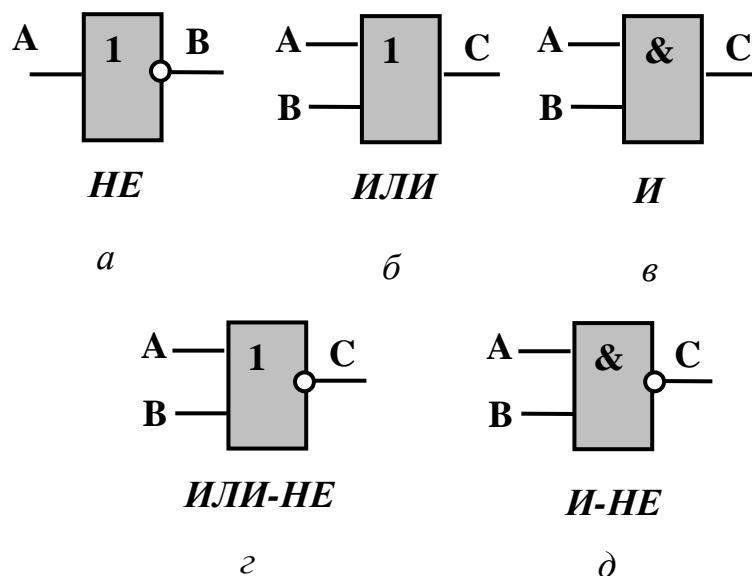


Рис. 8.1 — Обозначения логических элементов

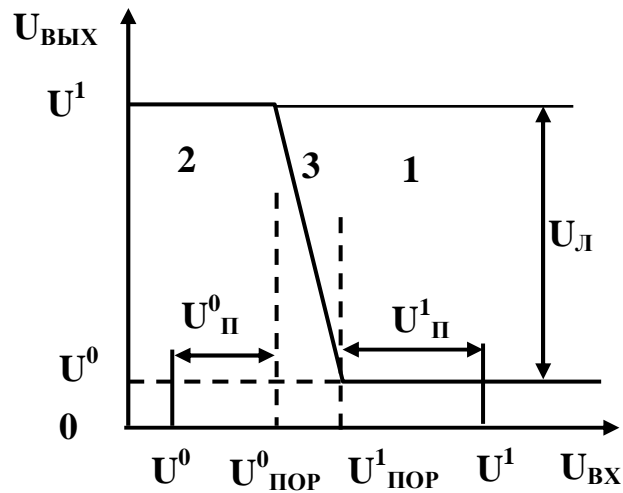
Логические элементы по режиму работы подразделяют на статические и динамические. Статические ЛЭ могут работать как в статическом, так и динамическом (импульсном) режимах. Статические элементы наиболее широко используются в современных микросхемах. Динамические ЛЭ могут работать только в импульсном режиме. Логические элементы классифицируют также по типу применяемых транзисторов. Наибольшее распространение получили ЛЭ на биполярных и МДП-транзисторах. Кроме того, интенсивно разрабатываются ЛЭ на арсенид-галлиевых МЭП- и ГМЭП-транзисторах. Для каждого из перечисленных типов ЛЭ существует большое число их схемотехнических и конструктивно-технологических разновидностей. Например, к биполярным ЛЭ относятся элементы ТТЛ, эмиттерно-связанной логики (ЭСЛ), рассмотренные в данной главе.

8.2 Основные характеристики и параметры логических элементов

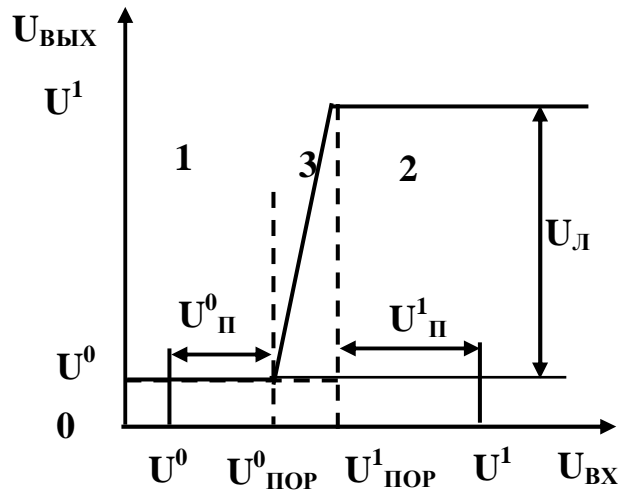
Основной статической характеристикой ЛЭ является передаточная характеристика — зависимость выходного напряжения $U_{ВЫХ}$ от напряжения на одном из входов при постоянных напряжениях на остальных входах, равных 0 или 1 в зависимости от типа ЛЭ. По виду передаточной характеристики различают инвертирующие и не инвертирующие ЛЭ. На выходе первых (*НЕ*, *И-НЕ*, *ИЛИ-НЕ* и другие) получают инверсные по отношению к входным логические сигналы, на выходах вторых (*И*, *ИЛИ* и др.) — прямые. Передаточные характеристики инвертирующего и неинвертирующего ЛЭ представлены соответственно на рис. 8.2, *а*, *б*. Они имеют три четко выраженных участка. Участок 1 соответствует состоянию $U_{ВЫХ} = U^0$, участок 2 — состоянию $U_{ВЫХ} = U^1$. Кроме того, имеется промежуточный участок 3, на котором состояние ЛЭ не определено. В статическом режиме соответствующие участку 3 значения входных напряжений недопустимы. Границы участков определяются точками единичного усиления, в которых выполняется условие $\left| \frac{dU_{ВЫХ}}{dU_{ВХ}} \right| = 1$. Входные напряжения, определяющие границы участков, называются порогами

переключения $U_{ПОР}^1$ и $U_{ПОР}^0$. Разность напряжений лог 1 и лог 0 называют логическим перепадом.

Сложные логические функции реализуются с помощью разветвленных цепей, состоящих из ЛЭ. При этом выход одного ЛЭ соединяют со входом другого. Поэтому логический сигнал U^0 или U^1 с выхода предыдущего ЛЭ поступает на вход последующего. Входные напряжения U^0 и U^1 , задаваемые предыдущими ЛЭ, показаны на осях входных напряжений на рис. 8.2.



а



б

Рис. 8.2 — Передаточные характеристики логических элементов

Помимо логических сигналов на входах могут появляться напряжения помехи, которые либо повышают, либо понижают

входное напряжение. Если на входе действует напряжение U^0 , то опасны помехи, имеющие положительную полярность, так как они повышают входное напряжение. При достаточно большом напряжении помехи рабочая точка на передаточной характеристике может сместиться в область переключения 3 (см. рис. 8.2), что приведет к сбою в работе, т. е. ложному изменению выходных напряжений в цифровом устройстве. При поступлении на вход напряжения U^1 и напряжения помехи отрицательной полярности также возможно ложное переключение.

Максимально допустимые постоянные напряжения помехи положительной полярности U_{Π}^0 (при напряжении U^0 на входе) и отрицательной полярности U_{Π}^1 (при напряжении U^1 на входе) определяют помехоустойчивость ЛЭ по отношению к статическим (длительно действующим) помехам. Эти напряжения отмечены на рис. 8.2.

$$U_{\Pi}^0 = U_{\Pi OR}^0 - U^0; \quad (8.1)$$

$$U_{\Pi}^1 = U^1 - U_{\Pi OR}^1. \quad (8.2)$$

Внутренние помехи в цифровом устройстве возникают при переключении ЛЭ, поэтому их амплитуда пропорциональна логическому перепаду $U_{\mathcal{L}}$. Для оценки помехоустойчивости ЛЭ помимо напряжений U_{Π}^0 и U_{Π}^1 используют относительные величины

$$K_{\Pi}^0 = U_{\Pi}^0 / U_{\mathcal{L}}; \quad K_{\Pi}^1 = U_{\Pi}^1 / U_{\mathcal{L}}; \quad (8.3)$$

$$U_{\mathcal{L}} = U^1 - U^0, \quad (8.4)$$

называемые коэффициентами помехоустойчивости.

Из рис. 8.2 видно, что $k_{\Pi}^0 + k_{\Pi}^1 < 1$, так как $U_{\Pi}^0 + U_{\Pi}^1 < U_{\mathcal{L}}$. В тех случаях, когда область переключения 3 не очень широкая, т. е. $U_{\Pi OR}^1 - U_{\Pi OR}^0 \ll U_{\mathcal{L}}$, можно ввести средний порог переключения $\bar{U}_{\Pi OR} = \frac{(U_{\Pi OR}^1 + U_{\Pi OR}^0)}{2}$. Для повышения помехоустойчивости необходимо увеличивать логический перепад и уменьшать «ширину» области переключения. Идеальная передаточная характеристика, соответствующая максимальной помехоустойчивости,

должна удовлетворять условиям $U^1 = U_{ИП}$, $U^0 = 0$, $U_{ПОР}^0 = U_{ПОР}^1$; тогда достигаются одинаковые и максимально возможные значения $U_{П}^0 = U_{П}^1 = 0,5U_{И.П}$, $K_{П}^0 = K_{П}^1 = 0,5$. Для получения большей помехозащищенности при том же напряжении источника питания используют специальные схемы с обратной связью.

Передаточная характеристика такого элемента приведена на рис. 8.3.

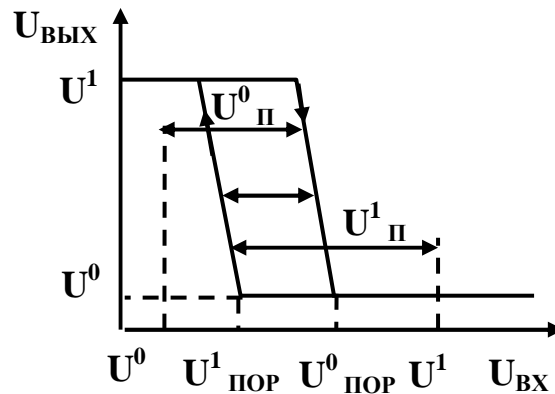


Рис. 8.3 — Передаточная характеристика логического элемента с обратной связью

При оценке помехоустойчивости по формулам (8.2) и (8.3) следует учитывать, что входящие в них величины U^1 , U^0 , $U_{ПОР}^1$, $U_{ПОР}^0$ имеют технологический разброс, т. е. различаются даже для однотипных ЛЭ и зависят от температуры, напряжения источника питания, числа нагрузок аналогичных ЛЭ, присоединенных к выходу, и других условий. Поэтому в этих формулах обычно используют наихудшие значения величин; при этом в технических условиях приводят заниженные, но гарантируемые при заданных условиях эксплуатации значения. Технологический разброс указанных выше напряжений велик для ЛЭ разных микросхем, но он значительно меньше для ЛЭ в составе одной микросхемы. Соотношения (8.2) и (8.3) определяют как максимально допустимые постоянные напряжения помех, так и амплитуды импульсных помех большой длительности. Если длительность импульса помехи уменьшается настолько, что становится меньше времени переключения ЛЭ, то допустимая амплитуда импульсной

помехи возрастает. Следовательно, импульсная помехоустойчивость может быть выше статической.

Входная характеристика — это зависимость входного тока I_{BX} от напряжения на данном входе при постоянных напряжениях на остальных входах. Для ЛЭ на биполярных транзисторах по этой характеристике определяют входные токи для двух состояний: ток низкого уровня $I_{BX}^0 > 0$ при $U_{BX} = U^0$, вытекающий из данного входа, и ток высокого уровня $I_{BX}^1 \leq 0$ при $U_{BX} = U^1$, втекающий в этот вход. Для элементов на МДП-транзисторах входные токи в обоих состояниях пренебрежимо малы.

Выходная характеристика — это зависимость выходного напряжения $U_{ВЫХ}$ от выходного тока $I_{ВЫХ}$ при заданных постоянных напряжениях на входах. В общем случае таких характеристик может быть две: для напряжения низкого уровня на выходе $U_{ВЫХ} = f(I_{ВЫХ}^0)$ и для напряжения высокого уровня на выходе $U_{ВЫХ} = f(I_{ВЫХ}^1)$, где $I_{ВЫХ}^0$ и $I_{ВЫХ}^1$ — выходные токи низкого и высокого уровней.

Нагрузочная способность n (коэффициент разветвления на выходе) характеризует максимальное число однотипных ЛЭ, которые одновременно можно подключать к его выходу. Чем выше нагрузочная способность, тем меньшее число ЛЭ необходимо для построения сложной цифровой микросхемы. Однако увеличение нагрузочной способности ограничено, поскольку с ростом числа нагрузок ухудшаются другие основные параметры ЛЭ, главным образом статическая помехоустойчивость и быстродействие. Так, помехоустойчивость ЛЭ на биполярных транзисторах уменьшается с ростом числа нагрузок, так как увеличиваются выходные токи в обоих состояниях, а это приводит к снижению уровня напряжения U^1 и повышению уровня напряжения U^0 .

Среднее время задержки сигнала возрастает вследствие увеличения емкости нагрузки. По этой причине в состав одной серии микросхем малой и средней степеней интеграции и в цифровых устройствах БИС вводят ЛЭ с различной нагрузочной способностью: $n = 4...25$. Коэффициент объединения по входу m равен

числу входов ЛЭ. С увеличением коэффициента m расширяются его логические возможности за счет выполнения функций над большим числом логических переменных. При этом для создания сложного устройства требуется меньше ЛЭ. Однако увеличение числа входов, как правило, ухудшает другие основные параметры ЛЭ, прежде всего быстродействие. Для построения большинства цифровых микросхем достаточно иметь элементы с числом входов $m = 3..4$. Если требуются схемы с повышенным числом входов, то в серии микросхем вводятся специальные ЛЭ — расширители числа входов.

Потребляемая мощность ЛЭ (мощность, потребляемая ЛЭ от источника питания) зависит от его логического состояния, так как изменяется ток в цепи питания. Средняя потребляемая мощность в статическом режиме

$$P_{CP} = 0,5U_{ИП}(I_{ИП}^0 + I_{ИП}^1). \quad (8.5)$$

Зная среднюю мощность и число ЛЭ в цифровом устройстве, можно вычислить среднюю мощность, потребляемую устройством; она равна $P_{CP}N_{Л.Э.}$. Уменьшить потребляемую мощность можно, снизив напряжение или ток питания. Однако при этом понизятся помехоустойчивость, а для многих типов ЛЭ и быстродействие. Наиболее эффективный способ уменьшения мощности реализован в ЛЭ на КМДП-транзисторах. В этих элементах токи в статическом режиме пренебрежимо малы, а мощность потребляется только при переключении.

Мощность, потребляемую дополнительно в процессе переключения, называют динамической. Она пропорциональна частоте переключения ЛЭ. Поэтому динамическую мощность определяют при заданной рабочей частоте, близкой к максимальной.

Быстродействие ЛЭ оценивают средним временем задержки распространения сигнала $t_{ЗД.Р.РАС}$ (средней задержкой), определяющим среднее время выполнения логической операции:

$$t_{ЗД.Р.СР} = 0,5(t_{ЗД.Р}^{0,1} + t_{ЗД.Р}^{1,0}), \quad (8.6)$$

где $t_{ЗД.Р}^{0,1}$, $t_{ЗД.Р}^{1,0}$ — времена задержки распространения сигнала при переходе напряжения на выходе от 0 к 1 и от 1 к 0 соответственно, измеряемые на уровне $U_{ПОР}$. Произведение средней задержки

на максимальное число последовательно соединенных ЛЭ в устройстве дает наибольшую задержку сигнала в этом устройстве. Временные диаграммы на входе и выходе инвертирующего ЛЭ приведены на рис. 8.4. Задержки необходимо измерять в условиях, учитывающих работу ЛЭ в цифровых устройствах. Поэтому входной сигнал формируется аналогичным ЛЭ, а на выходе исследуемого ЛЭ подключают схему — нагрузку. При упрощенном анализе переходных процессов в ЛЭ реальный входной сигнал заменяют импульсом прямоугольной формы. Временные диаграммы показаны на рис. 8.5.

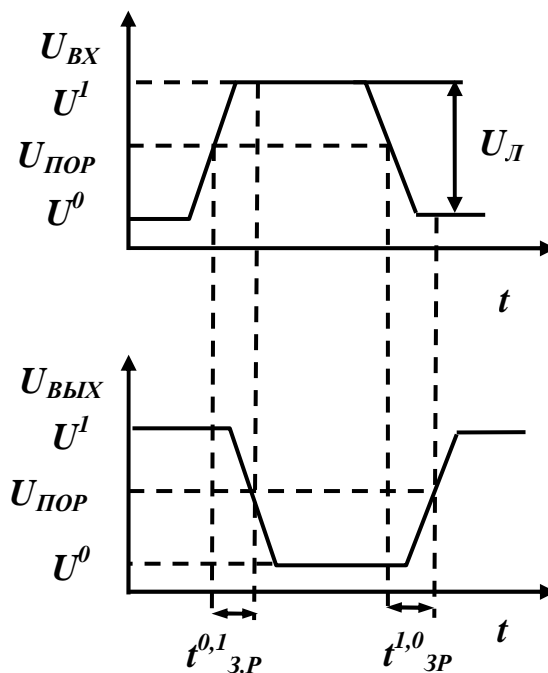


Рис. 8.4 — Время задержки распространения сигнала

В литературе часто приводят среднее время задержки в кольцевом генераторе, представляющем замкнутую в кольцо цепочку нечетного числа $k_{Г}$ инвертирующих ЛЭ. Схема кольцевого генератора, содержащая $k_{Г}$ инверторов, представлена на рис. 8.6. Измеряя период колебаний, можно вычислить среднюю задержку: $T_{Г} = 2k_{Г}t_{з.р.СР}$. Для исключения зависимости измеряемой задержки от числа инверторов в цепи генератора выбирают большим: $k_{Г} = 9...11$. Кольцевые генераторы наиболее широко используют для измерения средней задержки ЛЭ в составе БИС.

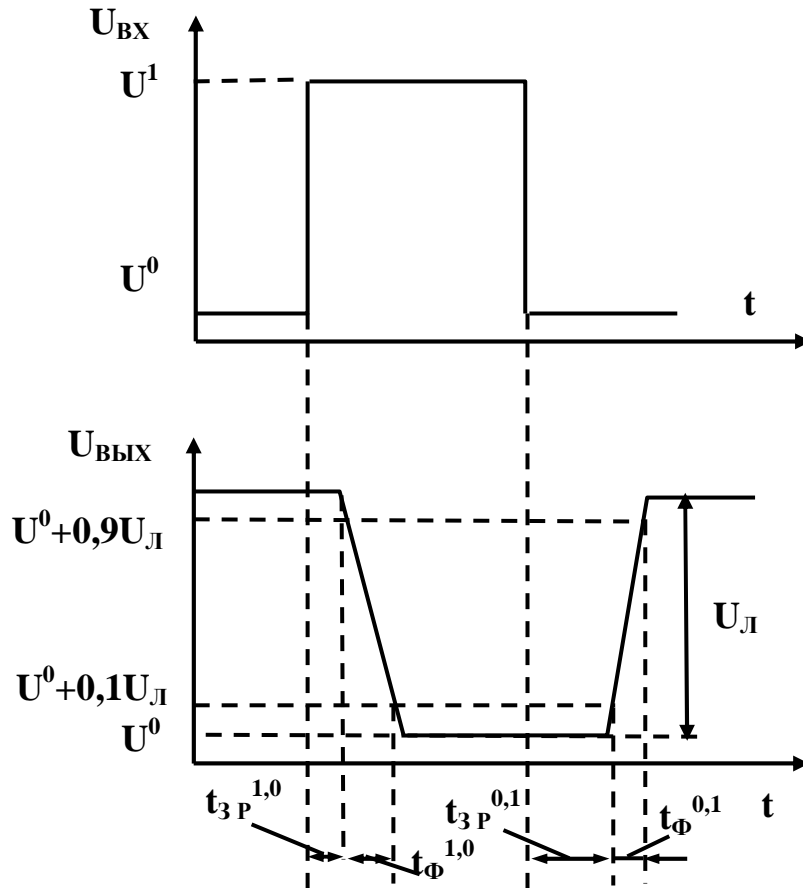


Рис. 8.5 — Временные зависимости переходного процесса в логическом элементе

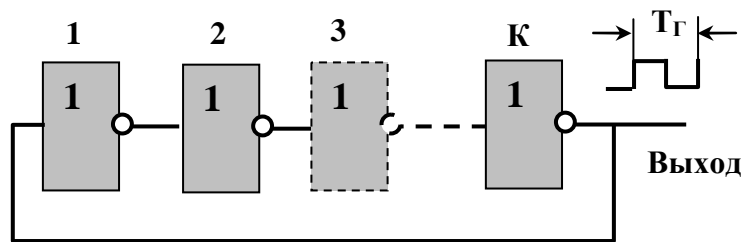


Рис. 8.6 — Схема кольцевого генератора

Эти ЛЭ имеют очень малые емкости нагрузки по сравнению с входной емкостью измерительного прибора, например осциллографа, поэтому непосредственно измерить среднюю задержку одного ЛЭ крайне сложно.

Для уменьшения влияния входной емкости измерительного прибора к выходу кольцевого генератора подключают усилитель с малой входной емкостью, изготавливаемый на том же кристалле. При единичной нагрузке каждого инвертора задержка, измеренная

в кольцевом генераторе, минимальна и служит для оценки предельного быстродействия ЛЭ. Кольцевой генератор удобен также для измерения малых значений средней задержки (менее 1 нс), поскольку период его колебаний в $2k_2$ раз больше $t_{зд.р.ср}$.

При заданных импульсных параметрах транзисторов среднюю задержку ЛЭ можно уменьшить в определенных пределах, увеличив токи, потребляемые от источника питания, и уменьшив тем самым времена перезаряда паразитных емкостей. Однако при этом возрастает потребляемая мощность. Таким образом, между средней задержкой и потребляемой мощностью ЛЭ существует зависимость: чем меньше средняя задержка, тем больше потребляемая мощность. В связи с этим для сравнения ЛЭ различных типов используют параметр, называемый работой переключения:

$$A_{ПЕР} = P_{ср} t_{ср}. \quad (8.7)$$

Чем выше качество схемотехнической и конструкторско-технологической реализации ЛЭ, тем меньше работа переключения. Большинство основных параметров ЛЭ сильно зависит от напряжения источника питания $U_{ИП}$. При снижении $U_{ИП}$ уменьшаются потребляемая мощность и работа переключения, но ухудшаются помехоустойчивость, нагрузочная способность и, как правило, снижается быстродействие. Заданные параметры большинства типов ЛЭ могут быть обеспечены лишь в сравнительно узком диапазоне отклонения напряжения питания от выбранного номинального значения $\pm(5...10)\%$. Температурные изменения электрических параметров транзисторов, диодов и резисторов, используемых в ЛЭ, обуславливают зависимости их основных параметров от температуры. В связи с этим для микросхем всегда задается диапазон рабочих температур, в котором значения их параметров не выходят за определенные границы. Важную роль играют конструктивно-технологические параметры и характеристики ЛЭ: площадь, занимаемая ЛЭ на кристалле (при заданном минимальном топологическом размере), и количество основных технологических операций, используемых при изготовлении микросхемы. Площадь ЛЭ наряду с потребляемой мощностью определяет максимально достижимую степень интеграции, а количество основных технологических операций — процент выхода годных микросхем и их стоимость. Для уменьшения

площади ЛЭ стремятся упростить их электрическую схему, уменьшить число используемых в ней транзисторов, диодов и резисторов. При проектировании топологии и структуры ЛЭ для снижения его площади уменьшают число карманов, размещая там, где это возможно, несколько транзисторов или резисторов в одном кармане. Используют поликремниевые пленочные резисторы, сформированные на поверхности кристалла над транзисторами. Для сопоставления ЛЭ различных типов при заданном уровне технологии, характеризуемом минимальным топологическим размером, используют относительную площадь, выражаемую числом квадратов со стороной A (литографических квадратов). За четыре десятилетия, прошедших с момента разработки первых цифровых микросхем, были изобретены и исследованы десятки типов ЛЭ. Их подробный анализ выходит за рамки данного курса. Основная цель поиска новых типов ЛЭ состоит в улучшении тех или иных параметров: уменьшении площади и потребляемой мощности, повышении быстродействия и т. д. Важным стимулом к поиску являются новейшие достижения в технологии микросхем, поскольку оптимальные ЛЭ могут быть созданы только при органическом сочетании физических принципов работы, конструкции, технологии и схемотехники.

В настоящее время наиболее актуальны исследования и разработки ЛЭ для БИС и СБИС, проводимые в четырех основных направлениях. Первое развивается на основе кремниевых МДП-транзисторов и позволяет получать максимальную степень интеграции (число элементов $10^6 \div 10^7$) при достаточно высоком быстродействии (средняя задержка 0,5...1 нс). Во втором направлении используются кремниевые биполярные транзисторы и обеспечивается повышенное быстродействие (средняя задержка 0,1...0,5 нс), но при меньшей степени интеграции. Третье направление позволяет достигать сверхвысокого быстродействия (средняя задержка 50...200 пс) при числе элементов $10^3 \div 10^4$, оно развивается на основе арсенид-галлиевых МЕР-транзисторов. Четвёртое направление основано на использовании новых физических явлений. Ниже подробно рассмотрены только важнейшие типы ЛЭ, нашедших наиболее широкое применение. Кроме того, кратко описаны ЛЭ, которые согласно современным оценкам представляются перспективными.

8.3 Элементы транзисторно-транзисторной логики

Отличительным признаком элементов ТТЛ является многоэмиттерный транзистор, включенный во входной цепи. Схема простейшего элемента ТТЛ приведена на рис. 8.7. Она содержит входной двухэмиттерный транзистор VT_1 , в базовой цепи которого включен резистор R_1 , и выходной инвертор на транзисторе VT_2 , в коллекторной цепи которого включен резистор R_2 . Многоэмиттерный транзистор выполняет логическую операцию *И* над входными логическими переменными A и B , а на выходе элемента реализуется функция И-НЕ $C = \overline{AB}$. Простейшие элементы ТТЛ используют в БИС. Рассмотрим принцип действия ЛЭ в статическом режиме, полагая, что он работает в составе цепочки последовательно соединенных одинаковых ЛЭ. Выделим в этой цепочке два соседних логических элемента ЛЭ1 и ЛЭ2 на рис. 8.8.

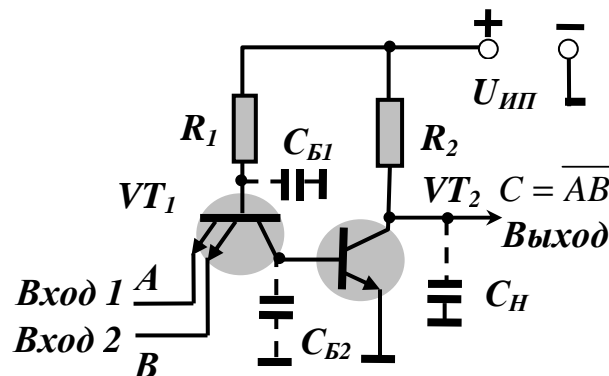


Рис. 8.7 — Схема простейшего элемента ТТЛ

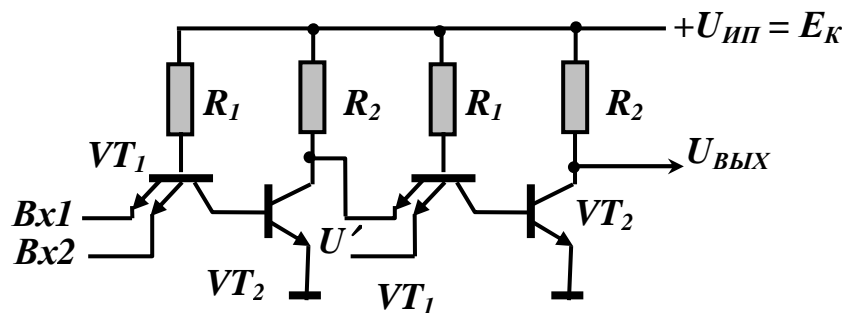


Рис. 8.8 — Логические элементы в составе БИС

На рис. 8.9, *а* приведена эквивалентная схема логического элемента с двумя входами (количество входов не имеет практического значения для анализа) для момента времени, когда на обоих входах логические нули (анализ останется справедливым и для случая, когда логический ноль будет хотя бы на одном входе).

На рис. 8.9, *б* приведены статические вольт-амперные характеристики переходов транзисторов и нагрузочная прямая R_B .

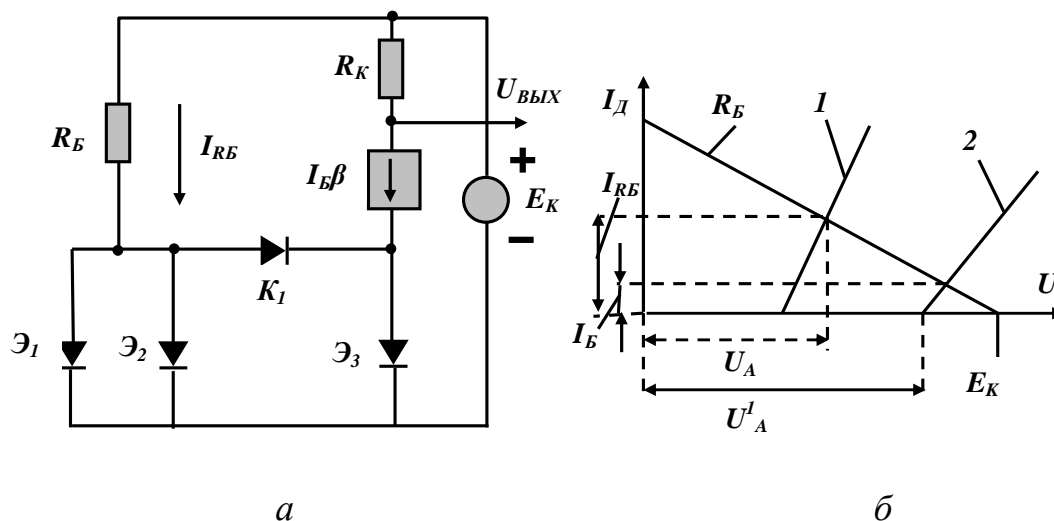


Рис. 8.9 — Эквивалентная схема логического элемента (*а*), статические вольт-амперные и нагрузочная характеристики (*б*), где \mathcal{E}_1 и \mathcal{E}_2 — эмиттерные переходы первого (многоэмиттерного) транзистора; K_1 — коллекторный переход; \mathcal{E}_3 — эмиттерный переход второго транзистора; 1 — вольт-амперная характеристика эмиттерных переходов $\mathcal{E}_1, \mathcal{E}_2$; 2 — результирующая вольт-амперная характеристика последовательно включенных коллекторного перехода первого транзистора K_1 и эмиттерного перехода второго транзистора; $I_{B\beta}$ — генератор тока, действующий в коллекторной цепи второго транзистора; U_A^1 — напряжение в точке А для случая, когда на всех эмиттерах многоэмиттерного транзистора сигнал равен логической единице

Напряжение в точке А равно падению напряжения на эмиттерном переходе U_A , смещенном в прямом направлении. Из вольт-амперных характеристик (рис. 8.9, *б*) видно, что этого напряжения недостаточно, чтобы последовательно включенные коллекторный переход многоэмиттерного транзистора и эмиттерный переход второго транзистора были смещены в прямом

направлении. Следовательно, токи базы и коллектора второго транзистора практически равны нулю и напряжение на выходе равно логической единице (E_K).

На основании эквивалентной схемы (рис. 8.9) можно записать напряжение в точке A

$$U_A = \varphi_T \ln \frac{I_{K1} + I_0}{I_0} + \varphi_T \ln \frac{I_{K1} + I_0}{I_0}; \quad (8.8a)$$

$$U_A = \varphi_T \ln \frac{I_{Э1} + 2I_0}{I_0}, \quad (8.8б)$$

где $I_{Э1}$ — суммарный ток через эмиттерные переходы многоэмиттерного транзистора, I_{K1} — ток коллекторного перехода первого транзистора, I_0 — обратный ток переходов. Приравнивая правые части выражений (8.8a) и (8.8б), после несложных преобразований получим:

$$I_{K1} = \sqrt{\frac{(I_{Э1} + 2I_0)I_0}{2}} - I_0, \quad (8.9)$$

учитывая, что $I_{Э1} \gg I_0$ (8.9), окончательно запишем

$$I_{K1} \approx \sqrt{\frac{I_{Э1}I_0}{2}} - I_0. \quad (8.10)$$

Из (8.10) получим $I_{Э1} \gg I_{K1}$, т. е. коллекторный переход первого транзистора, а также коллекторный и эмиттерный переходы второго транзистора закрыты. Напряжение на выходе логического элемента равно единице (E_K).

На рис. 8.10 приведена эквивалентная схема логического элемента для случая, когда на обоих эмиттерах первого транзистора логические единицы (E_K). Эмиттерные переходы первого транзистора закрыты, а коллекторный переход смещается в прямом направлении. Эмиттерный переход второго транзистора смещается в прямом направлении, и транзистор входит в режим насыщения. Напряжение на выходе логического элемента равно нулю.

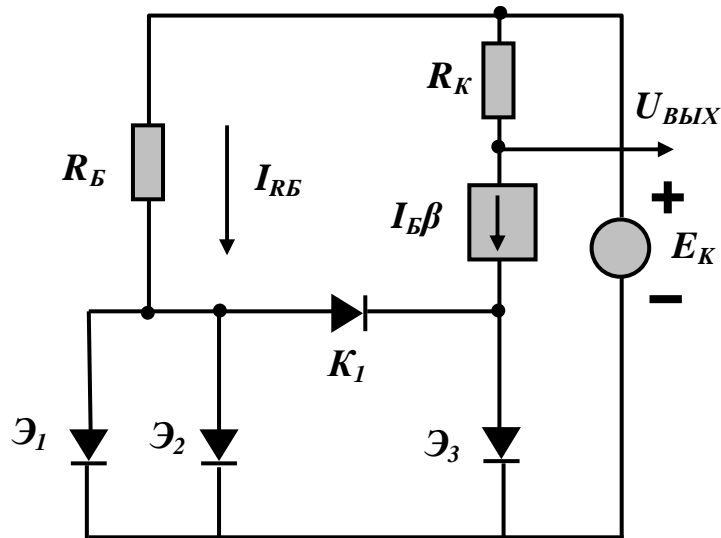


Рис. 8.10 — Эквивалентная схема логического элемента для момента времени, когда на входах действуют сигналы равные логическим единицам

Передаточная характеристика рассматриваемого элемента ТТЛ при $U_{ИП} = 3$ В, $T = 20$ °С и $n = 1$ приведена на рис. 8.11. При снятии этой характеристики для ЛЭ, имеющего m входов, входное напряжение изменяют только на одном из входов в диапазоне от 0 до $U_{ИП}$, а на остальные входы подают напряжение U^1 . При повышении температуры $U_{ПОР}$ понижается (температурный коэффициент около -2 мВ/°С), что приводит к уменьшению $U_{П}^0$ и увеличению $U_{П}^1$. Соответствующая характеристика для $T = 120$ °С показана на рис. 8.11.

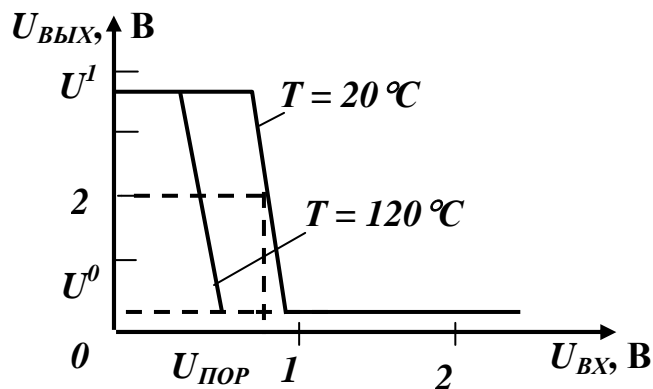


Рис. 8.11 — Передаточная характеристика ТТЛ элемента

Нагрузочная способность ЛЭ прежде всего ограничена тем, что с ростом числа нагрузок увеличиваются выходные токи. Выходные характеристики элемента ТТЛ при $U_{ИП} = 3$ В, $R_2 = 1,2$ кОм, $\beta = 60$ и $T = 20$ °С приведены на рис. 8.12. Видно, что увеличение выходных токов приводит к понижению уровня U^1 и повышению уровня U^0 .

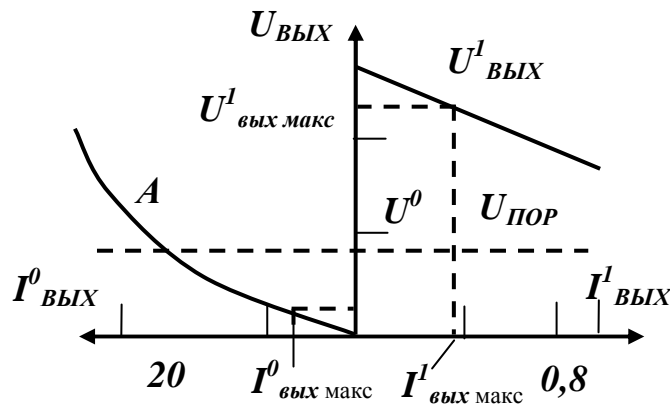


Рис. 8.12 — Выходные характеристики элемента ТТЛ

Средняя потребляемая мощность может быть оценена по формуле:

$$P_{CP} = 0,5U_{ИП}(I_{Б1}^0 + I_{Б1}^1 + I_{К2}^1). \quad (8.11)$$

Поскольку при снижении напряжения питания уменьшаются помехоустойчивость и нагрузочная способность, оно ограничивается значением $U_{ИП.МИН} > 2$ В. Поэтому потребляемую мощность можно уменьшить, только увеличив сопротивления R_1 и R_2 . Однако при этом возрастает средняя задержка. Средняя задержка определяется временем перезаряда паразитных емкостей. Кроме того, средняя задержка зависит от времени рассасывания избыточного заряда в выходном транзисторе.

Для повышения помехоустойчивости, нагрузочной способности и обеспечения высокого быстродействия при значительно большей емкости нагрузки в элементах ТТЛ используют сложный инвертор. Такие элементы применяют в микросхемах малой и средней степеней интеграции, а также в выходных каскадах БИС.

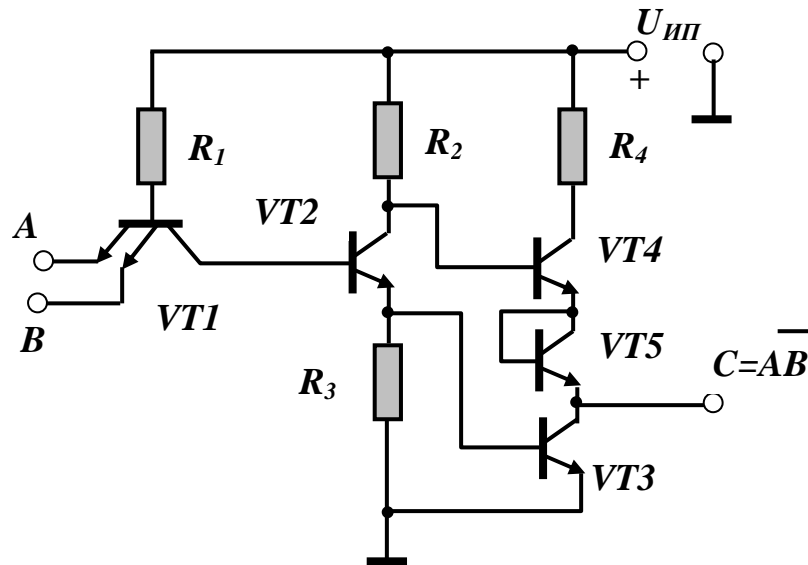


Рис. 8.13 — Схема элемента ТТЛ со сложным инвертором

Схема элемента ТТЛ со сложным инвертором представлена на рис. 8.13. Этот элемент выполняет логическую функцию *И-НЕ*. Назначение входного транзистора и резистора R_1 то же, что и в простейшем элементе. Остальные транзисторы и резисторы составляют сложный инвертор, содержащий промежуточный каскад на транзисторе VT_2 и резисторах R_2 , R_3 и выходной каскад на транзисторах VT_3 — VT_5 и резисторе R_4 . Транзистор VT_5 используется в диодном включении ($U_{KB} = 0$). С выходов промежуточного каскада (с коллектора и эмиттера VT_2) задаются управляющие сигналы, обеспечивающие противофазное переключение транзисторов VT_3 и VT_4 выходного каскада: если один из них включен, то другой выключен. При $U_{BX} = U^0$ на одном или нескольких входах, как и в простейшем элементе ТТЛ, коллекторный ток входного транзистора и напряжение на базе транзистора VT_2 близки к нулю. Поэтому транзисторы VT_2 и VT_3 закрыты. Транзистор VT_4 открыт, так как в его базу втекает ток, задаваемый резистором R_2 . Напряжение на выходе соответствует напряжению высокого уровня. Пренебрегая малым падением напряжения на этом резисторе, выходное напряжение можно оценить по формуле:

$$U^1 = U_{III} - 2U_{БЭ}^1, \quad (8.12)$$

где $2U_{БЭ}^1$ — падение напряжения на эмиттерных переходах транзисторов VT4 и VT5. Через эти переходы протекает выходной ток элемента ТТЛ, являющийся входным током нагрузочных элементов. В зависимости от значения выходного тока $U_{БЭ}^1$ может принимать значения 0,45...0,5 В при $T = 25$ °С. Для обеспечения большей помехоустойчивости для ЛЭ со сложным инвертором необходимо более высокое напряжение питания. Типовое напряжение питания 5 В. При этом для $U_{БЭ}^1 = 0,5$ В из (10.12) получаем $U^1 = 4$ В. Нагрузочная способность по сравнению с нагрузочной способностью простейшего элемента ТТЛ увеличивается за счет использования транзистора VT4. VT4 работает в активном режиме. Выходная характеристика элемента ТТЛ со сложным инвертором аналогична по форме зависимости для простой логической схемы. При напряжении U^1 на всех входах многоэмиттерного транзистора транзистор VT2 открывается коллекторным током входного транзистора и переходит в режим насыщения. Напряжение на его коллекторе понижается, и транзистор VT4 закрывается. Транзистор VT3 открывается эмиттерным током транзистора VT2 и также переходит в режим насыщения после разряда паразитной ёмкости C_H .

При этом выходное напряжение соответствует напряжению низкого уровня и определяется напряжением насыщения транзистора VT3. Для того чтобы транзистор VT4 не открывался при понижении выходного напряжения, в схему введен транзистор VT5. Сопротивления $R1$ и $R2$ выбирают из условия $R1 > R2$, поэтому эмиттерный ток транзистора VT2 в режиме насыщения значительно больше тока базы. Следовательно, в промежуточном каскаде происходит усиление тока. В результате в базу транзистора VT3 поступает больший ток, чем в простейшем элементе при том же сопротивлении $R1$, что увеличивает нагрузочную способность в состоянии $U_{ВЫХ} = U^0$.

Форма выходной характеристики ЛЭ со сложным инвертором в этом состоянии такая же, как и характеристики простого элемента. Однако значения токов $I_{ВЫХ}$ значительно больше. Резистор $R3$ необходим для создания цепи, по которой протекает базовый ток транзистора VT3 во время процесса рассасывания.

Резистор $R4$ с малым сопротивлением (около 100 Ом) служит для ограничения импульсного тока транзистора $VT4$, протекающего при переключении ЛЭ из состояния логического нуля в состояние логической единицы. Передаточная характеристика ЛЭ со сложным инвертором показана на рис. 8.14 (сплошная кривая). При входном напряжении менее 0,7 В транзисторы $VT2$ и $VT3$ закрыты. Когда входное напряжение достигает приблизительно 0,7 В, начинает открываться транзистор $VT2$, увеличиваются его коллекторный ток и падение напряжения, создаваемое этим током на резисторе $R2$. Поэтому напряжение на базе транзистора $VT4$ и выходное напряжение понижаются (участок A). Транзистор $VT3$ на этом участке закрыт, так что эмиттерный ток транзистора $VT2$ течет через резистор $R3$. Увеличивать сопротивление $R3$ для повышения порогового напряжения и помехоустойчивости нецелесообразно, так как при этом уменьшается базовый ток транзистора $VT3$ во время процесса рассасывания. Поэтому для коррекции формы передаточной характеристики в схему ЛЭ кроме резистора $R3$ вводят корректирующую цепочку, как показано на рис. 8.15. Она состоит из транзистора $VT6$ и резистора $R5$ с малым сопротивлением (200...400 Ом).

Скорректированный участок передаточной характеристики ЛЭ показан на рис. 8.14 штриховой линией. В этом случае транзисторы $VT2$, $VT3$ и $VT6$ открываются практически при одном напряжении, поэтому помехоустойчивость возрастает. Одним из существенных недостатков простейшего элемента ТТЛ является ограничение емкости нагрузки. Время нарастания выходного напряжения определяется постоянной времени RC_H , с которой заряжается эта емкость.

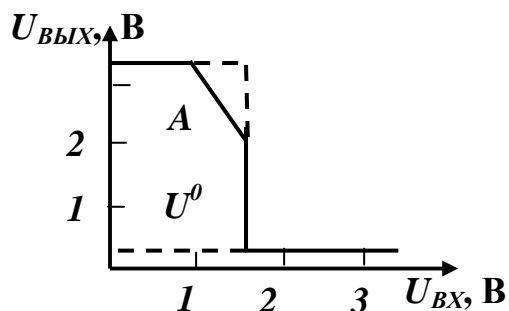


Рис. 8.14 — Передаточная характеристика элемента ТТЛ со сложным инвертором

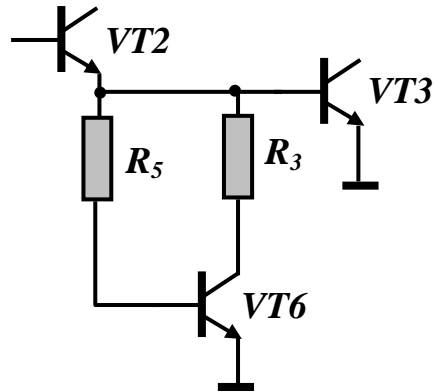


Рис. 8.15 — Схема корректора передаточной характеристики элемента ТТЛ

Для ЛЭ со сложным инвертором допустима большая емкость нагрузки ($C_H = 50 \dots 150$ пФ), поскольку она заряжается большим эмиттерным током транзистора VT4, включающегося при выключении транзистора VT2. Потребляемая мощность для ЛЭ со сложным инвертором значительно выше, чем для простейшего, что обусловлено большим напряжением источника питания. Кроме того, сложный инвертор потребляет дополнительную динамическую мощность при переключении: когда напряжение на выходе повышается, транзистор VT4 открывается и его коллекторный ток увеличивает на это время ток питания. В цепи питания при переключении элемента из состояния $U_{ВЫХ} = U^0$ в состояние $U_{ВЫХ} = U^1$ появляется импульс тока. Для его ограничения используется резистор R4.

Потребляемая мощность возрастает при увеличении рабочей частоты переключения. Логический элемент со сложным инвертором по сравнению с простейшим занимает большую площадь кристалла. По этой причине, а также вследствие большой потребляемой мощности его применение ограничено цифровыми микросхемами малой и средней степеней интеграции. Для повышения быстродействия элементов ТТЛ в них используют транзисторы с диодом Шоттки. Так, в схеме со сложным инвертором все транзисторы, кроме транзисторов VT4 и VT5, работающих в активном режиме, заменяют транзисторами с диодом Шоттки. При этом время рассасывания оказывается пренебрежимо малым, а средняя задержка определяется временем перезаряда паразитных емкостей.

8.4 Элементы эмиттерно-связанной логики

Основным отличительным признаком элементов ЭСЛ является использование переключателя тока, транзисторы которого работают в активном режиме. Исключение режима насыщения и связанной с ним задержки рассасывания обеспечивает более высокое быстродействие элементов ЭСЛ по сравнению с элементами ТТЛ. Схема переключателя тока приведена на рис. 8.16.

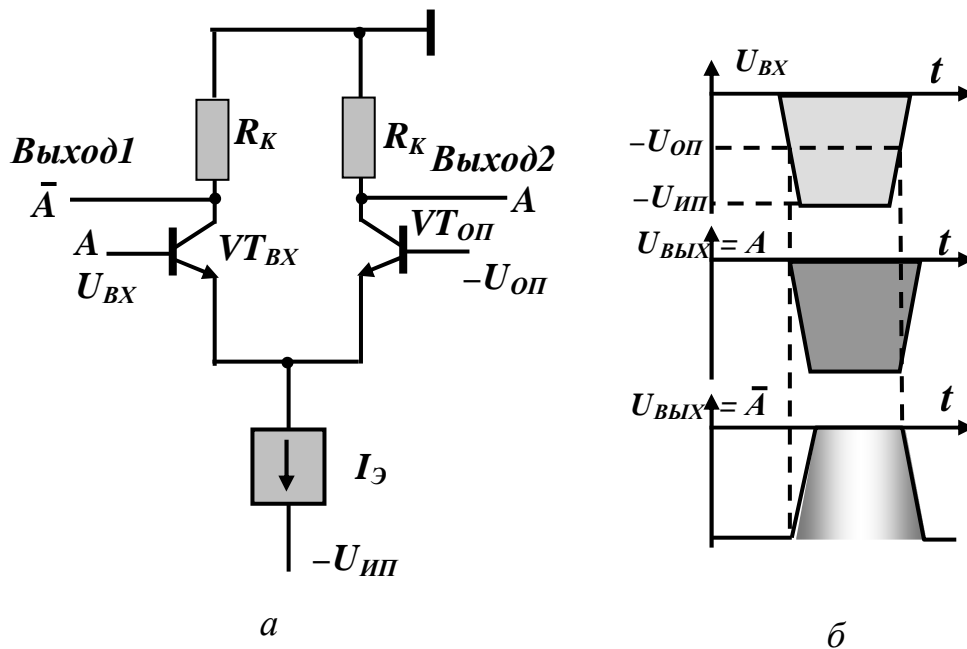


Рис. 8.16 — Переключатель тока:
 а — принципиальная схема, б — входные и выходные напряжения

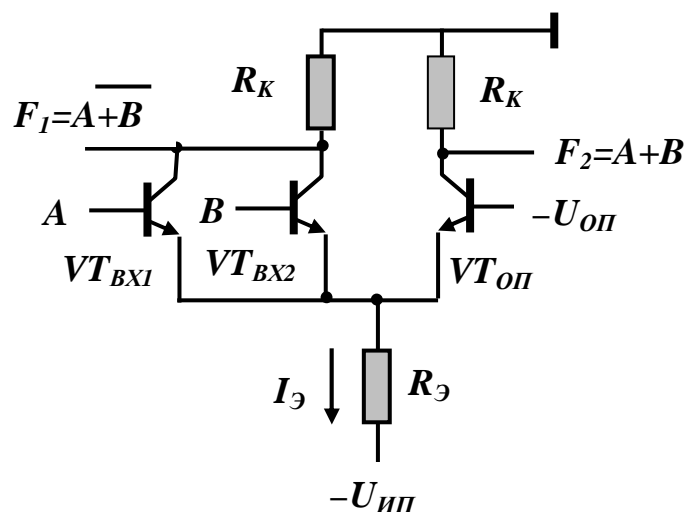


Рис. 8.17 — Схема элемента МЭСЛ

Она состоит из двух одинаковых ветвей, содержащих входной $VT_{вх}$ и опорный $VT_{оп}$ транзисторы, в коллекторных цепях которых включены резисторы R_k . На базу опорного-транзистора подано постоянное опорное напряжение отрицательной полярности $-U_{оп}$. Заданный ток $I_{\mathcal{E}}$ протекает через одну из ветвей схемы в зависимости от напряжения на входе. При $U_{ВХ} = U_{ОП}$ оба транзистора открыты и работают в активном режиме, их эмиттерные токи одинаковы и равны $0,5I_{\mathcal{E}}$. Напряжение на эмиттере $U_{\mathcal{E}} = -U_{ОП} - U_{БЭ}^1$, где $U_{БЭ}^1$ — прямое напряжение на эмиттерном переходе, равное $(0,6 \dots 0,7) В$ при $T = 25 С$.

В активном режиме коллекторный ток существенно зависит от напряжения $U_{БЭ}$ $I_K = \alpha I_{\mathcal{E}0} \exp\left(\frac{U_{БЭ}}{\phi_T}\right)$. Согласно этой формуле изменение напряжения $U_{БЭ}$ на $2,3\phi_T$ приводит к изменению тока на порядок. Если напряжение на входе понизить на $\delta U = 2,3\phi_T$ (на $60 мВ$ при $T = 25 С$), то коллекторный ток входного транзистора станет значительно меньше тока опорного транзистора. При этом напряжение на выходе 1 будет соответствовать напряжению высокого уровня. Коллекторный ток опорного транзистора $I_K \approx I_{\mathcal{E}}$. Этот ток создает на резисторе R_K падение напряжения, приблизительно равное $U^0 \approx -R_K I_{\mathcal{E}}$. Поэтому напряжение на втором выходе соответствует напряжению низкого уровня. При повышении входного напряжения до $U_{ВХ} = -U_{ОП} + \delta U$ увеличивается коллекторный ток входного транзистора (приблизительно до $\alpha I_{\mathcal{E}}$) и напряжение на эмиттерах, и уменьшается коллекторный ток опорного транзистора ($I_{Kоп} \ll I_{\mathcal{E}}$). Следовательно, ток $I_{\mathcal{E}}$ переключается в цепь входного транзистора, напряжение на выходе 1 понижается до уровня U^0 , а на выходе 2 повышается до уровня U^1 . Выход 1, на котором появляется логический сигнал A , называется инверсным, а выход 2 — прямым. Таким образом, для переключения тока $I_{\mathcal{E}}$ между двумя коллекторными цепями переключателя тока достаточно изменить входное напряжение на $0,12 В$ относительно среднего уровня. Для исключения режима насыщения транзисторов необходимо ограничить входное напряжение.

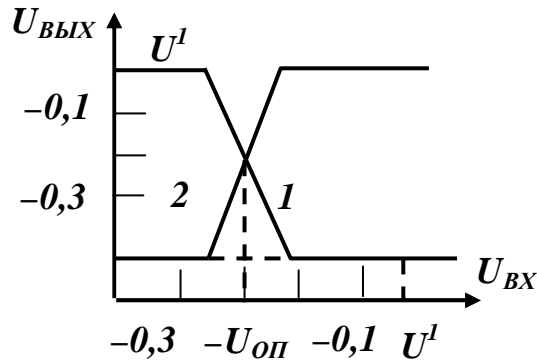


Рис. 8.18 — Передаточные характеристики МЭСЛ

При последовательном соединении переключателей тока для полного исключения режима насыщения нужны дополнительные согласующие схемы, предотвращающие режим насыщения, — схемы смещения уровня. Известно, что условие $U_{БК} < 0$ не является строго обязательным. Можно допустить небольшое прямое напряжение на коллекторном переходе (0,4...0,5 В), так как при этом еще не происходит заметной инжекции неосновных носителей.

Такой режим работы характерен, например, для транзистора с диодом Шотки. Указанный режим используют в простейших элементах ЭСЛ, называемых элементами малосигнальной эмиттерно-связанной логики (МЭСЛ). Эти элементы применяют во внутренних цепях СИС или БИС. Схема элемента МЭСЛ приведена на рис. 8.17. В отличие от рассмотренного выше переключателя тока она содержит два входных транзистора VT_{ex1} и VT_{ex2} , роль генератора тока играет токозадающий резистор R_{Ω} . Число входных транзисторов может быть и больше двух.

Эмиттеры всех транзисторов соединены в одной точке, что отражено в названии: эмиттерно-связанная логика. Схема имеет два выхода. На инверсном выходе 1 реализуется логическая функция *ИЛИ-НЕ*: $F_1 = \overline{A+B}$, на прямом выходе 2 — функция *ИЛИ*: $F_2 = A+B$. Передаточные характеристики элемента МЭСЛ для инверсного 1 и прямого 2 выходов показаны на рис. 8.18. Поскольку напряжение источника питания $U_{ин}$ и опорное напряжение $U_{оп}$ отрицательной полярности, то входные и выходные напряжения также отрицательны. Значение U^1 определяется

падением напряжения на резисторе в коллекторной цепи опорного транзистора при протекании выходного тока $I_{ВЫХ}^1$ в нагрузке:

$$U^1 = -I_{ВЫХ}^1 R_K = -nI_{Э} R_K / (1 + \beta), \quad (8.12)$$

где β — коэффициент передачи тока базы входного транзистора следующего ЛЭ. Это напряжение снижается с ростом числа нагрузок n , что ограничивает нагрузочную способность. Поскольку опорный транзистор открыт и в его коллекторной цепи протекает ток, то напряжение на прямом выходе

$$U_{ВЫХ}^0 \approx -(U_{ИП} - U_{ОП} - U_{БЭ}) R_K / R_{Э}. \quad (8.13)$$

При напряжении $U_{ВХ} = U^1$ на одном или нескольких входах соответствующие входные транзисторы открыты, а опорный транзистор закрыт. На инверсном выходе $U_{ВЫХ.1} = U_{ВЫХ.1}^0$, где

$$U_{ВЫХ.1}^0 \approx -I_{Э} R_K, \quad (8.14)$$

т. е. напряжение низкого уровня на инверсном выходе уменьшается при росте входного напряжения, поскольку увеличивается ток $I_{Э}$. При этом на прямом выходе $U_{ВЫХ} = U^1$.

Для элементов МЭСЛ характерен малый логический перепад $U_{Л} = 0,3...0,5$ В. Средний порог переключения получают из условия $\bar{U}_{пор} = -U_{он} = -0,5U_{Л}$. Опорное напряжение задают от специальной схемы, размещаемой на том же кристалле и используемой для многих ЛЭ. В этой схеме предусматривают компенсацию изменений напряжений эмиттер—база входных и опорного транзисторов. Особенность применения элементов МЭСЛ — использование отрицательного напряжения питания. При этом значительно ослабляется влияние изменений напряжения $U_{ИП}$ на уровни напряжений U^0 и U^1 , что особенно важно для элементов с малым логическим перепадом. Вследствие малого логического перепада элементы МЭСЛ имеют сравнительно низкую помехоустойчивость. Нагрузочная способность, как отмечалось выше, ограничена понижением напряжения U^1 при росте тока нагрузки: $n = 4...5$. Типичные значения напряжения питания — (2...3) В. Потребляемая мощность практически одинакова для обоих состояний ЛЭ, поскольку ток $I_{Э}$ почти не изменяется при переключении:

$$P_{CP} = U_{ИП} I_{Э}. \quad (8.15)$$

Схема элемента МЭСЛ симметрична, поэтому напряжение на прямом выходе при переключении изменяется так же, как и на инверсном, но в противофазе.

Для повышения быстродействия элементов МЭСЛ необходимо уменьшать барьерные емкости p - n переходов, паразитные емкости проводников, сопротивление базы, ограничивать число нагрузок и увеличивать граничную частоту транзисторов. Все это достигается совершенствованием конструкции и технологии изготовления микросхем. Уменьшение сопротивления R_k ограничено увеличением потребляемой мощности. Элементы МЭСЛ используют в сверхбыстродействующих БИС, где обеспечены малые уровни помех и небольшие паразитные емкости. При относительно большой емкости нагрузки ($C_H > 10$ пФ) и (или) большом числе нагрузок ($n > 10$) в сверхбыстродействующих цифровых микросхемах применяют более сложные элементы ЭСЛ. Схема такого элемента ЭСЛ приведена на рис. 8.19. Она содержит дополнительно два выходных эмиттерных повторителя на транзисторах $VT_{ЭП}$ и резисторы $R_{ЭП}$. В остальном эта схема совпадает со схемой элемента МЭСЛ и выполняет те же логические функции. Выход 1 — инверсный, на нем реализуется функция *ИЛИ-НЕ* $F_1 = \overline{A+B}$, выход 2 — прямой, ему соответствует логическая функция *ИЛИ* $F_2 = A+B$. Принципы работы элементов ЭСЛ и МЭСЛ аналогичны, однако их основные параметры заметно различаются. Благодаря использованию эмиттерных повторителей и большему напряжению питания ($U_{III} = -5$ В), элементы ЭСЛ по сравнению с элементами МЭСЛ имеют большие логический перепад, помехоустойчивость, нагрузочную способность, допустимую емкость нагрузки, потребляемую мощность, среднюю задержку и площадь, занимаемую на кристалле. Передаточные характеристики элемента ЭСЛ при $T = 25$ °С для инверсного 1 и прямого 2 выходов представлены на рис. 8.20.

Эмиттерные повторители, во-первых, выполняют функцию согласующих схем смещения уровня выходного напряжения, предотвращающих режим насыщения входных транзисторов последующих ЛЭ. Действительно, выходные напряжения U^1 элемента ЭСЛ (рис. 8.20) оказываются ниже выходных напряжений U^1 элемента МЭСЛ на величину прямого напряжения $U_{БЭ}^1$

на эмиттерных переходах транзисторов $VT'_{ЭП}$. Во-вторых, эмиттерные повторители ослабляют зависимость уровня напряжения U^1 от числа нагрузок. С ростом числа нагрузок увеличивается выходной ток, а уровень U^1 понижается вследствие увеличения падения напряжения на резисторе R_K . Однако базовый ток транзистора, протекающий через этот резистор, в $\beta+1$ раз меньше выходного тока. Поэтому нагрузочная способность элементов ЭСЛ значительно выше, чем элементов МЭСЛ — $n = 10 \div 20$.

В-третьих, эмиттерные повторители позволяют увеличить логический перепад (до $U_L = 0,8$ В при $T = 25$ °С), что невозможно в элементах МЭСЛ из-за перехода входных транзисторов в режим глубокого насыщения. Благодаря большему логическому перепаду возрастает помехоустойчивость. Наряду с этим мощность, потребляемая элементом ЭСЛ, в 3—5 раз выше, чем МЭСЛ, так как дополнительная мощность потребляется эмиттерными повторителями и элементы ЭСЛ используются при большем напряжении питания $U_{ИП} = -(4 \dots 5)$ В.

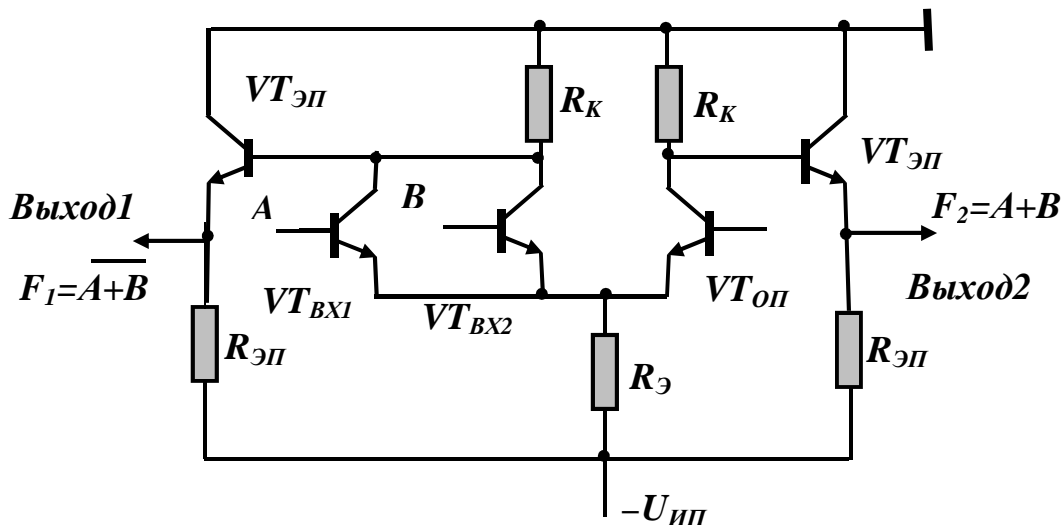


Рис. 8.19 — Схема сложного элемента МЭСЛ

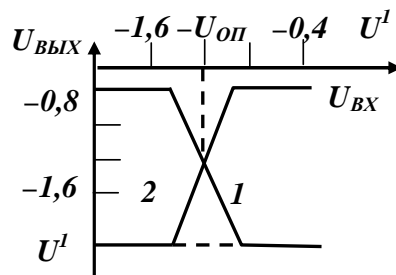


Рис. 8.20 — Передаточные характеристики сложного элемента МЭСЛ

Для уменьшения потребляемой мощности эмиттерные повторители могут подключаться к источнику питания с меньшим напряжением, например -2 В. При заданной мощности элемента ЭСЛ можно перераспределять ее между переключателем тока и эмиттерными повторителями, изменяя отношение сопротивлений $R_K/R_{ЭП}$. При этом, вследствие больших значений потребляемой мощности и площади, занимаемой на кристалле, элементы ЭСЛ с эмиттерными повторителями применяются в сверхбыстродействующих цифровых микросхемах малой и средней степени интеграции. При потребляемой мощности $P_{cp} = 10\text{—}20$ мВт эти элементы ЭСЛ имеют $t_{зд\ cp} = 0,5\text{...}1$ нс.

Вопросы для самопроверки

1. Какие логические операции Вы знаете.
2. Назовите типы классификаций логических элементов.
3. Основные характеристики логических элементов.
4. Что понимается под пороговыми напряжениями?
5. Объясните понятие «помехозащищенность логического элемента».
6. Назовите основные параметры логических элементов.
7. Чем характеризуется быстродействие логических элементов.
8. Нарисуйте простейшую схему ТТЛ.
9. Объясните принцип работы простейшей схемы ТТЛ на физическом уровне.
10. Укажите основные недостатки простейшей схемы ТТЛ.
11. Нарисуйте схему ТТЛ со сложным инвертором.
12. Объясните работу ТТЛ со сложным инвертором на физическом уровне.
13. Достоинства ТТЛ со сложным инвертором.
14. Основные достоинства и недостатки ТТЛ.
15. Нарисуйте схему токового ключа и объясните назначение генератора тока в цепи эмиттеров.
16. Объясните работу токового ключа.
17. Нарисуйте принципиальную схему элемента малосигнальной эмиттерно-связанной логики (МЭСЛ).
18. Проанализируйте работу элемента МЭСЛ.

19. Основные недостатки элемента МЭСЛ и его передаточная характеристика.

20. Нарисуйте базовый элемент ЭСЛ и объясните в чем его достоинства по сравнению с элементом МЭСЛ.

21. Основные достоинства и недостатки ЭСЛ по сравнению с ТТЛ.

22. Начертите эпюры входных и выходных сигналов.

9 ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ

В ЛЭ кремниевых микросхем используют МДП-транзисторы с каналами одного (обычно n) или обоих типов проводимости (комплементарные транзисторы). Первые обеспечивают минимальную площадь, занимаемую ЛЭ на кристалле, а вторые — минимальную потребляемую мощность, более высокие быстродействие и помехоустойчивость.

Практически бесконечное входное сопротивление МДП-транзисторов позволяет создавать ЛЭ динамического типа, обладающие малой занимаемой площадью и малой потребляемой мощностью при сравнительно невысоком быстродействии. Логические элементы арсенид-галлиевых микросхем сверхвысокого быстродействия создают на МЕР-транзисторах с каналами n -типа.

9.1 Инвертор на n -канальных МДП-транзисторах

Статический режим

Схема простейшего ЛЭ — инвертора, широко распространенная в быстродействующих БИС (СБИС) на n -канальных МДП-транзисторах, показана на рис. 9.1. Транзистор V_{Ta} с индуцированным каналом, на затвор которого подается входной сигнал, называют активным, а транзистор V_{Tn} со встроенным каналом, выполняющий функцию нелинейного резистора, — пассивным. В общем случае необходимы два источника питания: положительной полярности $+U_{ИП1}$ относительно общей (нулевой) шины БИС. Второй из них, называемый источником $-U_{ИП2}$ смещения подложки, не является принципиально необходимым для функционирования, но позволяет существенно улучшить параметры схемы. Если на входе инвертора напряжение низкого уровня $U^0 < U_{ПОР.a}$, где $U_{ПОР.a}$ — пороговое напряжение активного транзистора, то последний закрыт, т. к. канал отсутствует, и сопротивление между истоком и стоком можно считать равным бесконечности. (Такое состояние инвертора также называют закрытым.) Пассивный транзистор всегда открыт независимо от входного напряжения, т. к. напряжение затвор-исток всегда

равно нулю, а транзисторы со встроенным каналом работают в режиме обогащения и обеднения. При этом $U_{ВЫХ} = +U_{ИП1}$.

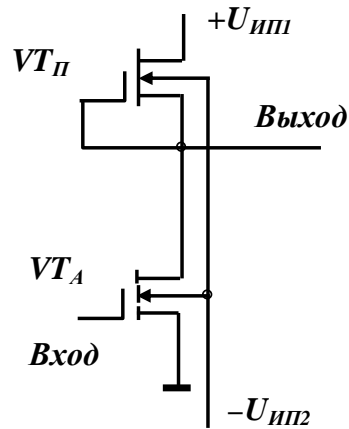


Рис. 9.1 — Схема инвертора на n -канальных МДП-транзисторах

Если выход инвертора соединен с входами аналогичных или других ЛЭ, т. е. с затворами следующих МДП-транзисторов, то ток, протекающий через пассивный транзистор, пренебрежимо мал. Поэтому выходное напряжение, равное $U_{ИП1}$, соответствует напряжению высокого уровня U^1 . Если $U_{ВХ} = U^1 = U_{И.П1}$, то транзистор VT_a открыт. (Такое состояние инвертора также называют открытым). Протекающий ток создает падение напряжения на пассивном транзисторе. При надлежащем выборе параметров обоих транзисторов выходное напряжение получается малым, что соответствует напряжению U^0 .

Напряжение U^0 и помехоустойчивость $U_{П}^0$ остаются практически постоянными. При малом напряжении питания $+U_{ИП1}$ инвертор теряет работоспособность. Передаточная характеристика и помехоустойчивость не зависят от числа нагрузок, так как в их входных (затворных) цепях отсутствует ток.

Средняя потребляемая мощность в статическом режиме $P_{CP} = 0,5(P^0 + P^1) = 0,5P^0 = 0,5U_{ИП1}I_{П}(U^0)$; в закрытом состоянии инвертор не потребляет мощности ($P^1 = 0$). Здесь P^0 , P^1 — мощности при напряжениях на выходе U^0 и U^1 соответственно.

9.2 Инвертор на комплементарных транзисторах

Схема инвертора (рис. 9.2) содержит транзисторы VT_1 и VT_2 с каналами соответственно p - и n -типа. В структуре на кремниевой подложке последняя соединяется с общей шиной. Для p -канального транзистора «подложкой» служит n -область кармана,

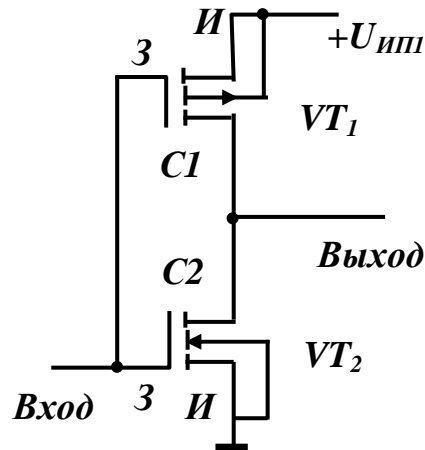


Рис. 9.2 — Схема инвертора на комплементарных транзисторах

которая соединена с плюсом источника питания. При $U_{ВХ} = U^1 = U_{ИП}$ транзистор VT_2 открыт, а VT_1 закрыт. Это связано с тем, что напряжение на затворе транзистора VT_2 по отношению к истоку превышает пороговое значение и между стоком и истоком возникает канал, сопротивление которого невелико. На затворе транзистора VT_1 напряжение относительно истока равно нулю, и канал отсутствует. Сопротивление между стоком и истоком можно принять равным бесконечности. На выходе получаем $U_{ВЫХ} = U^0 \approx 0$. Если $U_{ВХ} = U^0 \approx 0$, то, наоборот, транзистор VT_2 закрыт, а VT_1 открыт и $U_{ВЫХ} = U^1 = U_{ИП}$. В обоих состояниях ток, потребляемый от источника питания, практически равен нулю. Предполагается, что выход инвертора соединен с входами аналогичных инверторов-нагрузок. Таким образом, мощность, потребляемая в статическом режиме, практически равна нулю, что является важнейшим преимуществом по сравнению с любыми

другими микросхемами. На рис. 9.3, а показана передаточная характеристика инвертора (сплошная линия). С помощью рис. 9.3, б можно пояснить графический метод ее построения. На нем сплошными линиями изображены стоковые характеристики n -канального транзистора, а штриховыми — стоковые характеристики p -канального транзистора при одних и тех же входных напряжениях $U_{ВХ3} > U_{ВХ2} > U_{ВХ1} > U_{ПОР}$.

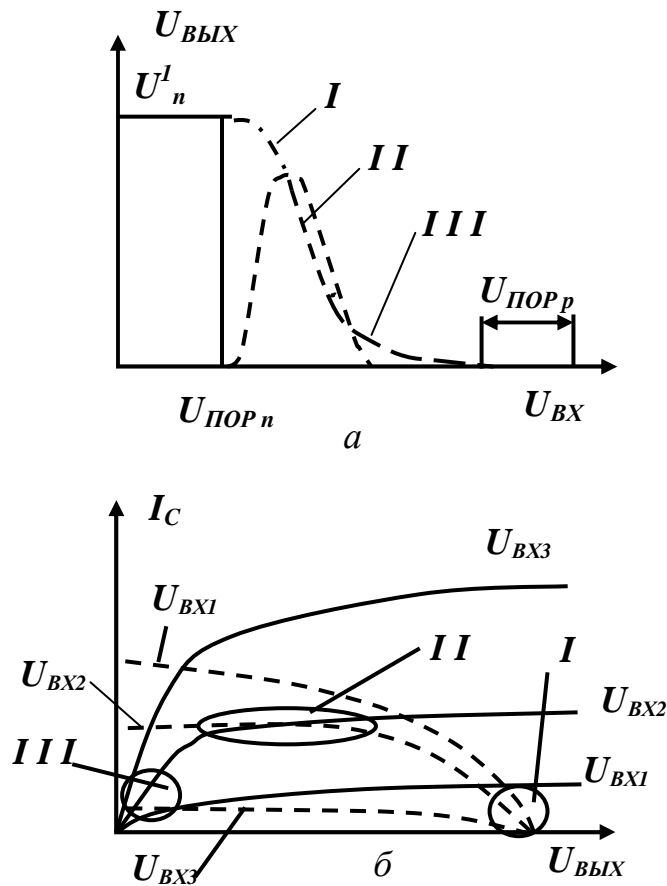


Рис. 9.3 — Передаточная характеристика

Пороговые напряжения для простоты предполагаются одинаковыми для обоих транзисторов. При малых $U_{ВХ}$ пересечения ВАХ лежат в области 1, где n -канальный транзистор работает в режиме насыщения, а p -канальный не насыщен. Это соответствует области 1 передаточной характеристики (рис. 9.3, а). Когда входное напряжение достигает $U_{ВХ2} = U_{ВХ}^1$, оба транзистора находятся в режиме насыщения, а выходное напряжение изменяется

скачкообразно в пределах области II на рис. 9.3, а, б. При $U_{BX} > U_{BX}^1$ p -канальный транзистор работает в режиме насыщения, а n -канальный не насыщен, чему соответствует область III на передаточной характеристике.

Оптимальная форма передаточной характеристики достигается при одинаковых параметрах транзисторов. Тогда $U_{BX}^1 = U_{III}/2$, помехоустойчивость максимальна и близка к $U_{III}/2$, а коэффициент помехоустойчивости $K = \frac{U_{ном}}{U_{л}} = 0,4 \div 0,5$.

Такие высокие значения трудно достигнуть в инверторах других типов, в том числе на биполярных транзисторах. Это обусловлено минимальным значением $U^0 = 0$, максимальным значением $U^1 = U_{III}$ и оптимальной (симметричной) передаточной характеристикой.

К тому же она практически не зависит от температуры. Высокая помехоустойчивость в широком интервале температур — также важное преимущество.

9.3 Логические элементы И-НЕ и ИЛИ-НЕ

Логические элементы на n -канальных транзисторах. Эти элементы содержат m активных транзисторов и один пассивный. В элементе И-НЕ активные транзисторы включаются последовательно (рис. 9.4). Если хотя бы на один из входов подается напряжение низкого уровня, то соответствующий активный транзистор закрыт, ток через пассивный транзистор, выполняющий функцию нелинейного резистора, не протекает и на выходе устанавливается напряжение высокого уровня. Если на все входы поступает напряжение U^1 , то все активные транзисторы открыты и на выходе устанавливаются U^0 .

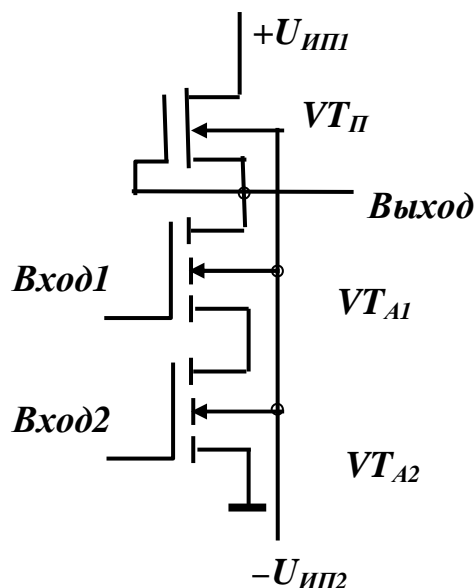


Рис. 9.4 — Схема логического элемента на n -канальных транзисторах

В отличие от инвертора в логическом элементе *И-НЕ* вместо одного включены последовательно n активных транзисторов, которые при той же структуре и напряжениях дают в n раз меньший ток. Поэтому ЛЭ имеет приблизительно те же характеристики и параметры, что и инвертор.

На рис. 9.5, *a* показана схема логического элемента *ИЛИ-НЕ* с параллельно включенными активными транзисторами. Если хотя бы на один из входов подается напряжение U^1 , то соответствующий активный транзистор открыт и на выходе устанавливается напряжение U^0 . Если на все входы поступает напряжение U^0 , то все активные транзисторы закрыты и на выходе устанавливается напряжение источника питания, соответствующее U^1 .

Логические элементы на комплементарных транзисторах (КМДП)

Для реализации функции *И-НЕ* применяется последовательное включение n -канальных и параллельное включение p -канальных транзисторов (рис. 9.6, *a*). При тех же геометрических размерах транзисторов, что и в инверторе, ток, задаваемый n -канальными транзисторами в открытом состоянии, уменьшается в m раз, а ток, задаваемый p -канальными транзисторами, увеличивается в m раз. Поэтому ЛЭ *И-НЕ* имеет характеристики и параметры, близкие к инвертору.

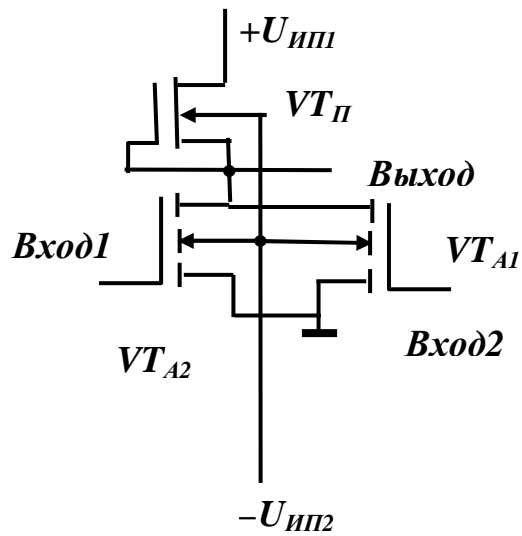


Рис. 9.5 — Схема логического элемента на n канальных транзисторах

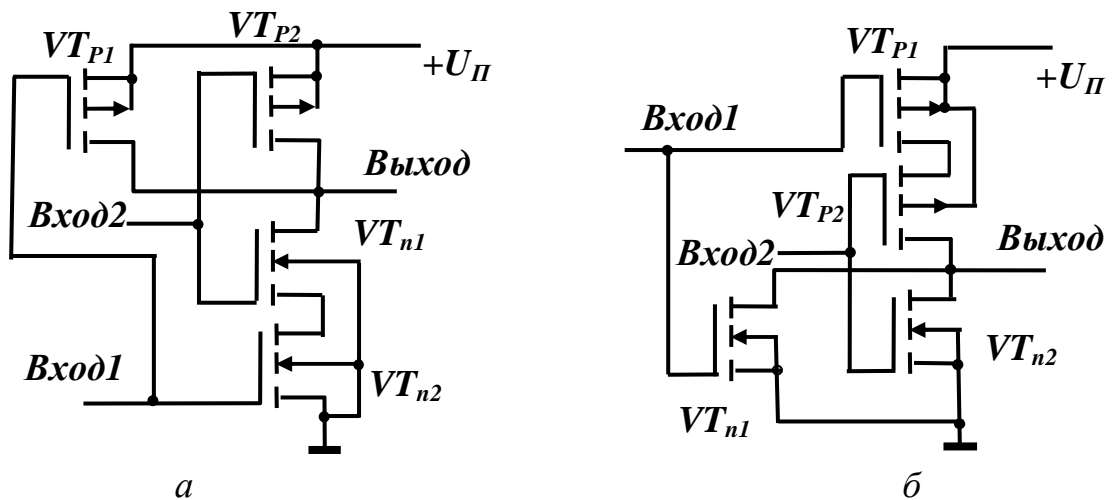


Рис. 9.6 — Схемы логических элементов на комплементарных транзисторах

Для реализации функции *ИЛИ-НЕ* применяется параллельное включение n -канальных и последовательное включение p -канальных транзисторов (рис. 9.6, б). Логический элемент *ИЛИ-НЕ* имеет характеристики и параметры, близкие к характеристикам и параметрам инвертора.

9.4 Логические элементы динамического типа

Очень высокое входное сопротивление МДП-транзисторов позволяет создавать особый класс схем, называемых динамическими. Для них характерно кратковременное запоминание информации с помощью конденсаторов, в качестве которых обычно используются емкости самих транзисторов. Применяют транзисторы только с индуцированными каналами, чаще только одного n -типа, хотя возможно использование и комплементарных структур. Для пояснения принципа работы динамических схем рассмотрим инвертор на рис. 9.7. В отличие от ранее изученных статических схем на затвор пассивного транзистора VT_{II} с индуцированным каналом подают импульсы Φ , называемые тактовыми, с амплитудой, равной или превышающей напряжение источника питания. В течение действия импульса пассивный транзистор открыт. Если $U_{BX} = U^0$, то после окончания тактового импульса и запираения транзистора VT_{II} выходное напряжение U^1 поддерживается («запоминается») конденсатором C_n . По мере его разряда малым током закрытого транзистора VT_a напряжение $U_{ВЫХ}$ медленно понижается. С приходом следующего тактового импульса транзистор опять открывается и прежнее значение $U_{ВЫХ}$ восстанавливается. Если частота импульсов достаточно велика, то в паузе между ними изменение мало и состояние элемента сохраняется. В отсутствие импульса ток источника питания и потребляемая мощность практически равны нулю при любом сигнале на входе. Таким образом, динамический элемент на n -канальных транзисторах по сравнению со статическим элементом обладает в Q раз меньшей мощностью. Q — скважность тактовых импульсов (отношение их периода к длительности). Малая потребляемая мощность не единственное преимущество динамических схем. Другое достоинство заключается в упрощении тех схем, где требуется запоминание информации, например триггерных устройств с внутренней задержкой, регистров, оперативных запоминающих устройств и др. Площадь, занимаемая ими на кристалле, уменьшается, а степень интеграции увеличивается. Для динамических схем характерен синхронный режим работы, фронты сигналов на входах и выходах ЛЭ формируются одновременно с фронтами

тактовых импульсов (синхронно с ними) или с небольшой постоянной задержкой. Легко видеть, что простейший инвертор (см. рис. 9.7) не удовлетворяет этому требованию. Пусть в отсутствие тактового импульса на выходе поддерживается напряжение U^1 , и в некоторый момент времени входное напряжение повышается от U^0 до U^1 . Тогда транзистор VT_a открывается, и на выходе устанавливается напряжение, равное нулю (несинхронно с тактовым импульсом).

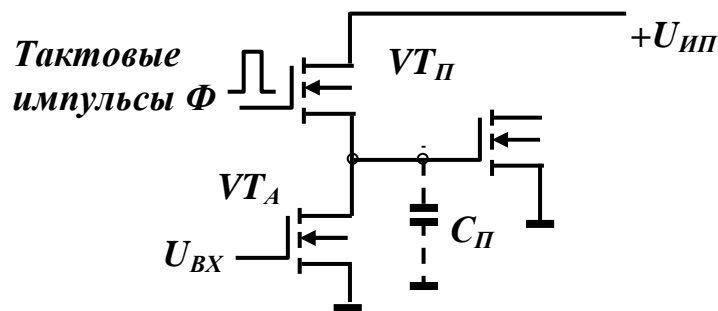


Рис. 9.7 — Схема инвертора динамического типа

Для предотвращения этого в схему вводят так называемый передаточный транзистор $VT_{пер}$ (рис. 9.8). В паузе между импульсами он закрыт, и напряжение на выходе не изменяется, какие бы сигналы ни поступали на вход. В БИС логические элементы входят в последовательные цепочки разной длины. Если на все ЛЭ подавать одни и те же тактовые импульсы, то синхронный режим невозможен.

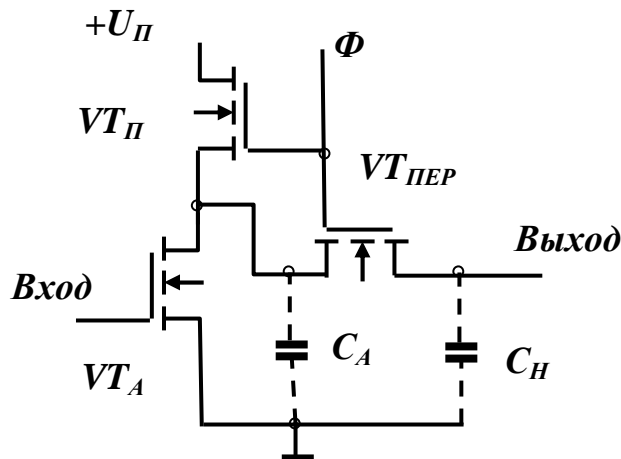


Рис. 9.8 — Схема инвертора динамического типа с передаточным транзистором

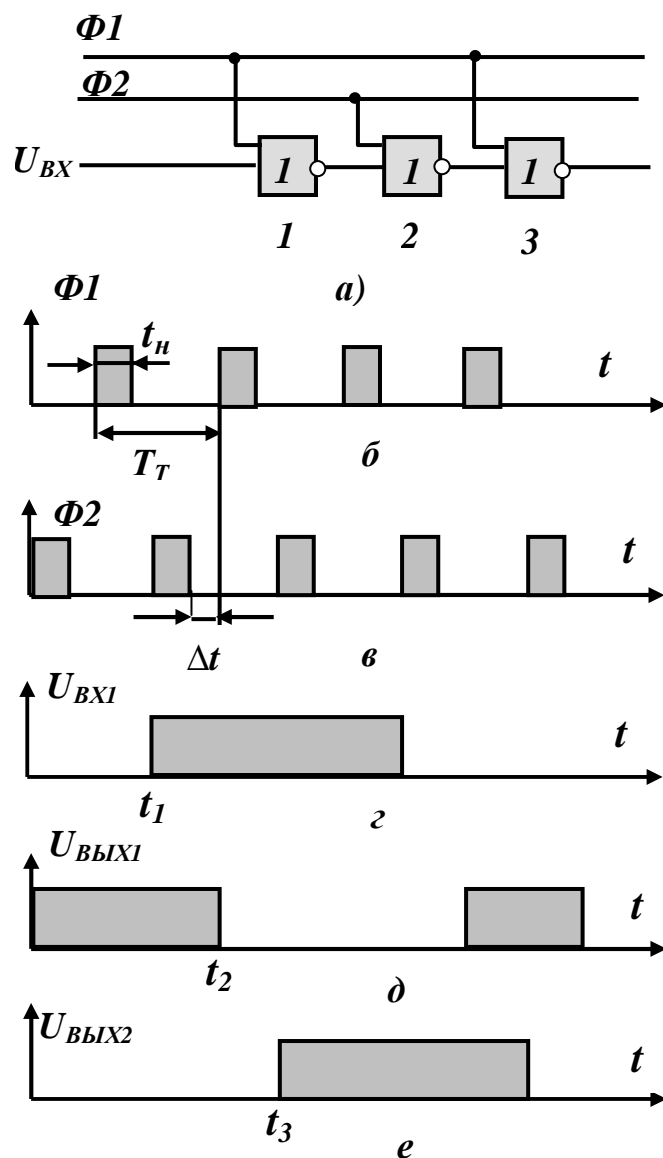


Рис. 9.9 — Схема подачи тактовых импульсов от двух фаз

Сигнал на выходе цепочки из N элементов задержится относительно входного на $Nt_{3ДР.СР}$. В цепочках разной длины выходные сигналы будут появляться в разные моменты времени. Кроме этого, длительность тактового импульса должна быть большей (не менее времени задержки в самой длинной цепочке), что не позволит существенно снизить мощность. Поэтому используют две или четыре последовательности тактовых импульсов, сдвинутых относительно друг друга во времени. Соответственно схемы называют двух- и четырехтактными. В двухтактных схемах на нечетные ЛЭ цепочки подается первая последовательность тактовых импульсов Φ_1 , а на четные — вторая Φ_2 . На рис. 9.9, а

в качестве ЛЭ для простоты выбраны инверторы. Импульсы Φ_1 и Φ_2 сдвинуты на полпериода, их эюры показаны на рис. 9.9, б, в. Выходные сигналы нечетных инверторов синхронны с импульсами Φ_1 , а четных — с импульсами Φ_2 . Если сигнал на вход первого ЛЭ поступает от предыдущего элемента цепочки, то он синхронен с Φ_2 (рис. 9.9, г).

Предположим, что фронты логических сигналов малы по сравнению с длительностью тактовых импульсов. Напряжение на выходе первого ЛЭ изменяется, когда поступает импульс Φ_1 в момент t_2 , т. е. с задержкой на полпериода по отношению к моменту t_1 изменения напряжения на входе (рис. 9.9, д). В течение интервала времени от t_1 до t_2 ЛЭ «помнит» предыдущее значение.

Запоминание предыдущего состояния является важнейшим свойством динамических ЛЭ.

Логические элементы *И-НЕ*, *ИЛИ-НЕ* получают последовательным или параллельным включением нескольких активных транзисторов так же, как в статических схемах.

На рис. 9.10, а показана четырехтактная схема, в которой инверторы включены в последовательную цепочку, а на рис. 9.10, б — временные диаграммы тактовых импульсов, напряжений на входе первого и выходах первого и второго ЛЭ. За время действия импульсов Φ_1 на выходах нечетных элементов независимо от входного сигнала происходит заряд емкостей до напряжения U^1 , так как в этих элементах транзисторы VT3 открыты, а VT2 закрыты. В промежутках между Φ_1 и Φ_2 выходное напряжение U^1 поддерживается емкостями C_n . При поступлении импульса Φ_2 транзистор VT2 отпирается, а VT1 будет закрыт или открыт в зависимости от напряжения на входе. Поэтому на выходах нечетных элементов устанавливается инвертированное входное напряжение, которое после окончания Φ_2 и до прихода следующего импульса Φ_1 поддерживается емкостями C_n .

Импульс Φ_1 называют импульсом предварительной установки выходного напряжения (на уровне U^1), а Φ_2 — импульсом опроса. Для четных элементов импульсом предварительной установки является Φ_3 , а импульсом опроса — Φ_4 . Выходной сигнал устанавливается по отношению к входному с задержкой, равной $0,5T_T$. В четырехтактных ЛЭ мощность затрачивается только

на перезаряд нагрузочных емкостей; она меньше, чем в двухтактных ЛЭ. Мощность пропорциональна тактовой частоте и не зависит от длительности импульсов. Напряжение низкого уровня U^0 практически равно нулю.

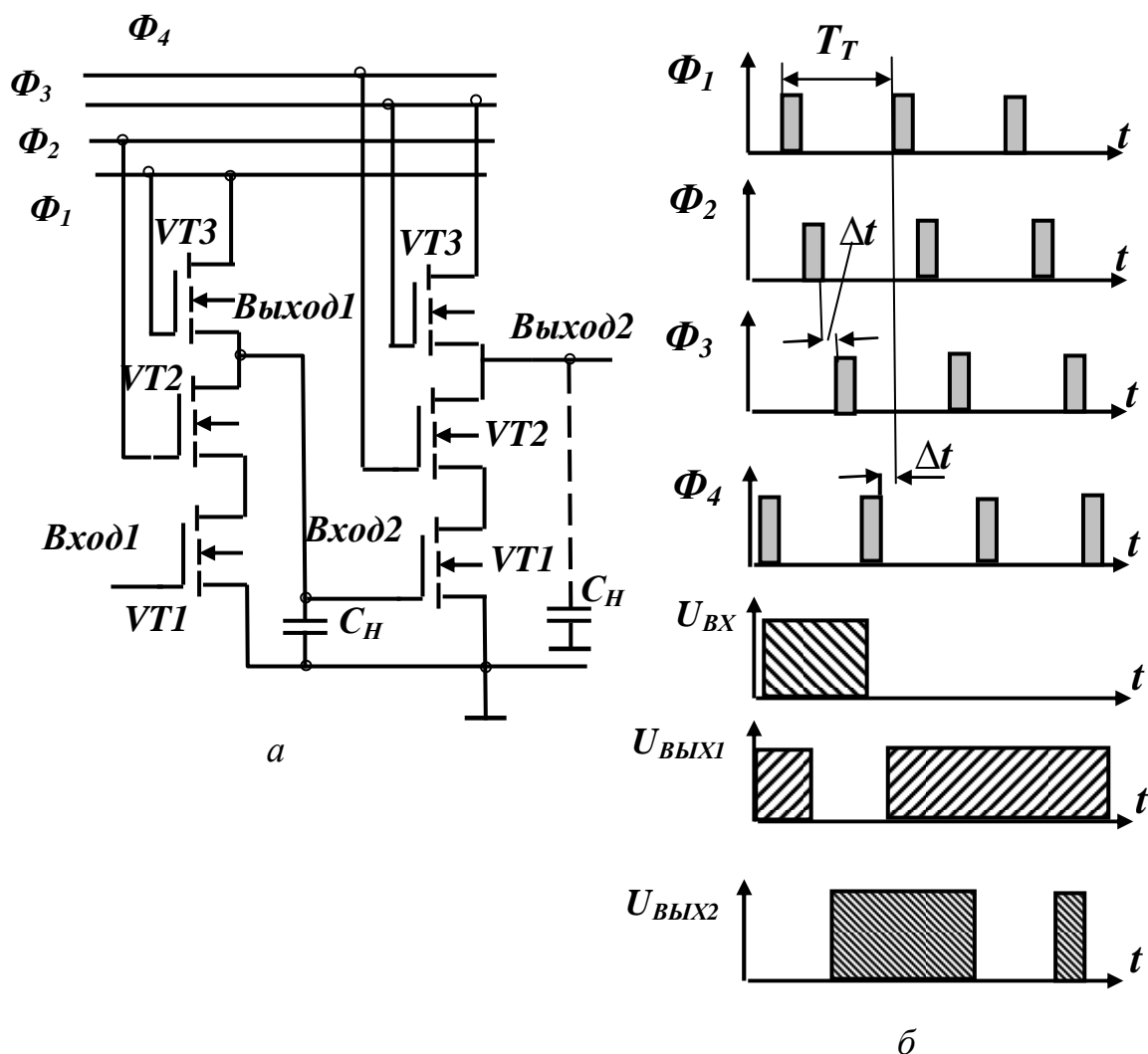


Рис. 9.10 — Схема подачи тактовых импульсов от четырех фаз

9.5 Приборы с зарядовой связью

Приборы с зарядовой связью (ПЗС), как и транзисторы, обладают свойством универсальности, позволяющим использовать их в самых разнообразных устройствах. Они применяются в цифровых ЗУ большой информационной емкости. В оптоэлектронных приемниках изображений на основе ПЗС создают формирователи видеосигналов.

В радиотехнических системах обработки информации ПЗС используют при разработке линий задержки, фильтров различных типов, устройств для спектрального анализа и обработки радиолокационных сигналов.

В этом разделе рассматриваются устройство, принцип действия и параметры элементов ПЗС, а также разновидности их конструкций.

Устройство, принцип действия

Основными элементами ПЗС являются одноступенчатые МДП-конденсаторы, сформированные на общей монокристаллической полупроводниковой подложке 1 p -типа (рис. 9.11). Расположенные на слое диэлектрика 2 полоски затворов 3 образуют регулярную линейную систему или плоскую матрицу. Для большинства приборов подложку изготавливают из высокоомного кремния, затворы — из алюминия или поликристаллического кремния, диэлектриком служит диоксид кремния. Затворы с помощью алюминиевых или поликремниевых пленочных проводников присоединяют к управляющим шинам, на которые относительно заземленного электрода подложки подают импульсные управляющие напряжения.

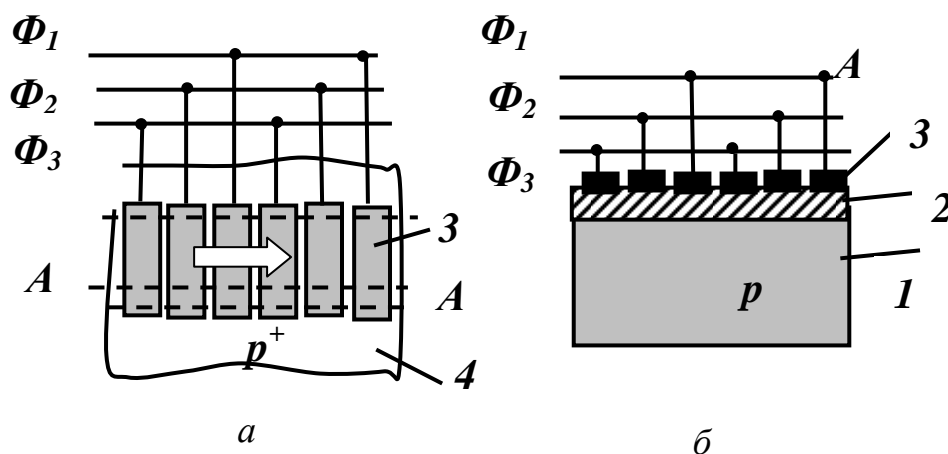


Рис. 9.11 — Технология получения ПЗС структур

В рассматриваемом приборе три управляющих шины Φ_1 , Φ_2 , Φ_3 , поэтому он называется трехтактным. Для приборов с подложкой p -типа управляющие напряжения имеют положительную полярность.

При подаче напряжения высокого уровня, например, на шину Φ_1 в приповерхностных областях полупроводниковой подложки под затворами, соединенными с этой шиной (первым, четвертым и т. д.), возникают потенциальные ямы для электронов. Электрический сигнал в ПЗС представлен не током или напряжением, как в микросхемах на транзисторах, а зарядом, зарядовым пакетом.

Принцип действия ПЗС основан на накоплении и хранении зарядовых пакетов в потенциальных ямах под затворами и на перемещении зарядовых пакетов между соседними элементами при изменении управляющих напряжений тактовых импульсов. Взаимодействие соседних элементов осуществляется с помощью переноса зарядовых пакетов в полупроводниковой подложке в направлении, показанном стрелкой на рис. 9.11, *a*. Это взаимодействие называют зарядовой связью, что отражено в названии прибора. Для того чтобы между соседними элементами обеспечивалась эффективная зарядовая связь, расстояния между затворами должны быть достаточно малыми по сравнению с толщиной обедненных слоев под затворами. Благодаря непосредственной зарядовой связи между соседними элементами в ПЗС не нужны сигнальные проводники, необходимые в интегральных микросхемах, содержащих транзисторы. На поверхности большей части кристалла располагаются только управляющие шины, а сигнальные проводники используются лишь на входах и выходах ПЗС.

У поверхности подложки сформированы области p^+ -типа, границы которых на рис. 9.11, *a* показаны штриховыми линиями. Области p^+ -типа ограничивают часть подложки, расположенную под затвором, в которой перемещаются зарядовые пакеты. Поэтому ее называют каналом переноса.

Рассмотрим физические процессы в МДП-структуре, применительно к ПЗС, которые в отличие от МДП-транзисторов работают только в импульсном режиме. Пусть при $t = 0$ напряжение на затворе изменяется скачком от $U_3 = 0$ до $U_3 > U_{ПОР}$ где $U_{ПОР}$ — пороговое напряжение.

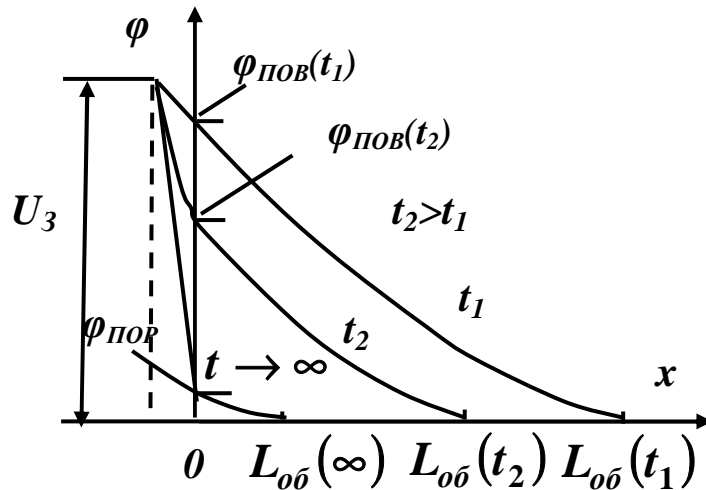


Рис. 9.12 — Распределение потенциала в ПЗС

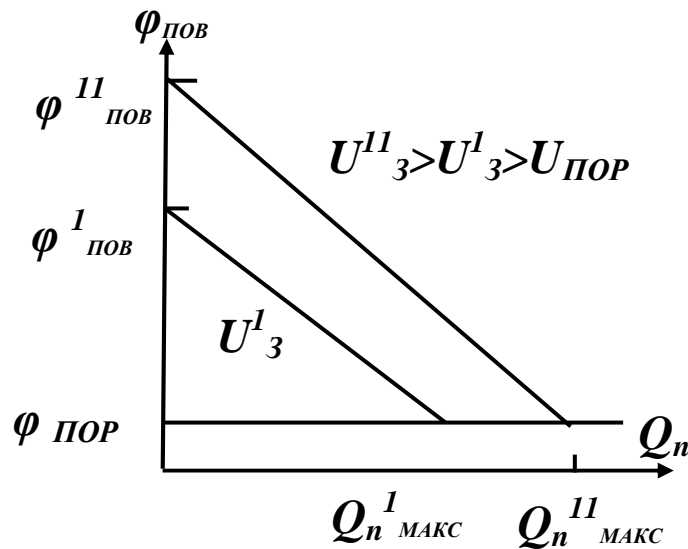


Рис. 9.13 — Зависимость поверхностного потенциала от величины зарядового пакета при разных напряжениях на затворе

В полупроводнике под затвором образуется потенциальная яма для электронов и в течение очень короткого отрезка времени (порядка времени диэлектрической релаксации) формируется обедненный слой с высоким удельным сопротивлением, в котором под действием поля удалены основные носители — дырки, а электроны еще не успели накопиться. Глубина потенциальной ямы максимальна на границе полупроводника с диэлектриком, здесь начинает накапливаться зарядовый пакет электронов Q_n . Он появляется вследствие контролируемого переноса зарядов из соседней МДП-структуры и неконтролируемых процессов тепловой

генерации электронов в обедненном слое или на поверхности полупроводника, диффузии электронов из подложки.

Распределения поверхностного потенциала в МДП-структуре в направлении, перпендикулярном затвору, для различных моментов времени приведены на рис 9.12. Координата x отсчитывается от границы полупроводник (П) — диэлектрик (Д). Штриховой линией показана граница диэлектрик — металл (М). По мере накопления зарядового пакета за счет тепловой генерации носителей заряда толщина обедненного слоя L_{OB} и поверхностный потенциал полупроводника $\varphi_{ПОВ}$ уменьшаются, а разность потенциалов на диэлектрике увеличивается. В установившемся режиме ($t = \infty$) поверхностный потенциал уменьшается до значения ($\varphi_{ПОР} = 2\varphi_T \ln\left(\frac{N_a}{n_i}\right)$), где N_a — концентрация акцепторов в подложке, n_i — концентрация собственных носителей. При этом у поверхности образуется инверсный слой n -типа, максимальный заряд электронов в котором

$$Q_{nМАКС} = C_D (U_3 - U_{ПОР}), \quad (9.1)$$

где $C_D = S_a \epsilon_0 \epsilon_D / d$ — емкость диэлектрика, S_a — площадь затвора.

Для работы ПЗС существенна зависимость поверхностного потенциала от величины зарядового пакета при заданном напряжении затвора (рис. 9.13) Эта зависимость приблизительно линейная:

$$\Delta\varphi_{ПОВ} = -\Delta Q / C_D. \quad (9.2)$$

При постоянном значении Q_D поверхностный потенциал возрастает при увеличении напряжения затвора также приблизительно по линейному закону.

Приведенные зависимости позволяют наглядно проиллюстрировать работу ПЗС с помощью гидродинамической модели (рис. 9.14, $a—e$). В этой модели потенциальная яма отождествляется с сосудом, зарядовый пакет Q_D — с жидкостью, заполняющей этот сосуд, поверхностный потенциал, т. е. глубина потенциальной ямы, с расстоянием h от поверхности жидкости, заполняющей сосуд, до верхнего края сосуда (с эффективной «глубиной» сосуда). В такой модели между объемом жидкости в сосуде и глубиной его незаполненной части существует линейная зависимость вида (рис. 9.14), а глубина пустого сосуда $h(0)$ увеличивается

пропорционально напряжению затвора (см. рис. 9.14, *a*). Эта модель используется для пояснения процесса переноса зарядового пакета. Рассмотрим процесс переноса зарядового пакета в ПЗС с трёхтактной схемой управления. Временные диаграммы управляющих импульсов для этого случая приведены на рис. 9.15. Пусть в момент времени t_1 на затворах, присоединенных к шине Φ_2 , напряжение высокого уровня $U_3 > U_{ПОР}$ и под вторым и пятым затворами накоплены зарядовые пакеты (рис. 9.16), а на затворах, присоединенных к шинам Φ_1 и Φ_3 , — напряжение низкого уровня и под соответствующими затворами нет потенциальных ям и зарядовых пакетов. В момент времени t_2 на затворы, соединенные с шиной Φ_3 , поступает напряжение высокого уровня, и под ними практически мгновенно формируются пустые потенциальные ямы. На затворах шины Φ_1 сохраняется напряжение низкого уровня. Для нормальной работы ПЗС расстояние между соседними затворами должно быть достаточно малым, чтобы потенциальные ямы соседних элементов, на затворы которых подано напряжение U_3 , сливались в единую потенциальную яму без барьера посередине, как показано на рис. 9.17 для момента времени $t_1 > t > t_2$. Перенос зарядовых пакетов становится возможным благодаря краевому эффекту. Он состоит в том, что размеры потенциальной ямы в плоскости пластины (в направлении переноса зарядовых пакетов) превышают размеры затвора, т. е. потенциальная яма образуется не только под затвором, но и на некотором расстоянии от его краев.

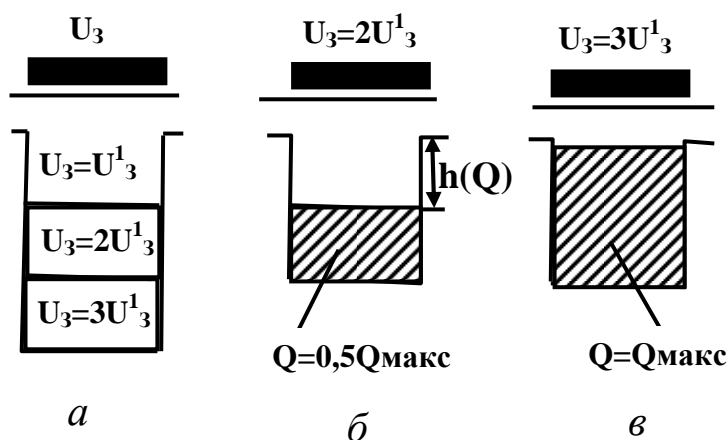


Рис. 9.14 — Пояснение работы ПЗС на примере гидравлической модели

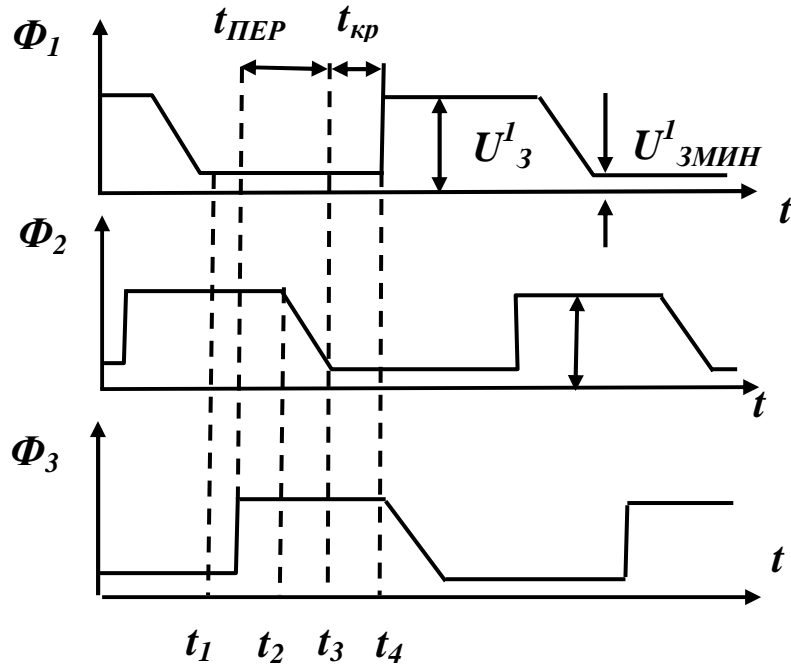


Рис. 9.15 — Временные диаграммы работы ПЗС

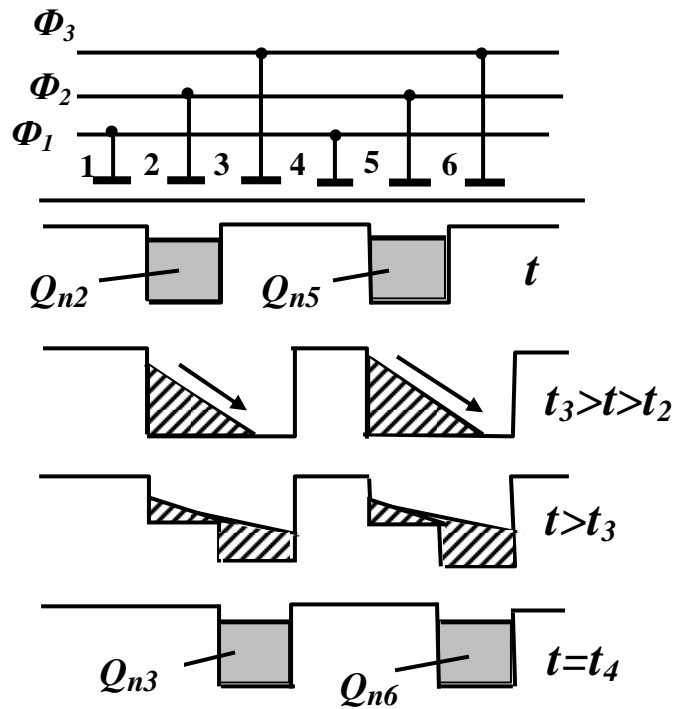


Рис. 9.16— Принцип передачи зарядового пакета в ПЗС

Размеры областей за границами затвора, в которых формируется потенциальная яма, увеличиваются с ростом напряжения на затворе. Только при достаточно больших напряжениях на соседних затворах и малых расстояниях между ними потенциальные

ямы под соседними затворами перекрываются, образуя единую потенциальную яму.

Поскольку при $t = t_1$ в третьем элементе электронов нет, а во втором накоплен зарядовый пакет Q_{n2} , то согласно зависимостям, показанным на рис. 9.13, при одинаковых напряжениях на затворах $U_{32} = U_{33}$ поверхностный потенциал под затвором 3 будет значительно выше, чем под затвором 2. В результате влияния зарядового пакета Q_{n2} при одинаковых напряжениях на затворах 2 и 3 в общей потенциальной яме возникнет продольное электрическое поле, ускоряющее электроны в сторону третьего элемента.

В гидродинамической модели ПЗС процессу переноса зарядового пакета соответствует перетекание жидкости в пределах общего сосуда. После повышения напряжения на затворе 3 формируется общий сосуд, расположенный под двумя затворами и в промежутке между ними. Жидкость в этом сосуде при $t > t_2$ распределена неравномерно и начинает перетекать под затвор 3. По мере выравнивания уровней жидкости под затворами 2 и 3 скорость течения уменьшается.

Чтобы ускорить перекачку жидкости, напряжение на затворе 2 при $t > t_3$ постепенно понижают до значения $U_{3\text{МИН}}$. Дно сосуда под этим затвором поднимается, и жидкость перемещается в сосуд, расположенный под затвором 3.

При $t = t_4$ перенос зарядового пакета из второго элемента в третий заканчивается, при этом зарядовый пакет $Q_{П3}$ в третьем элементе оказывается меньше исходного $Q_{П2}$. В тот же период времени осуществляется аналогичный перенос зарядового пакета из пятого элемента в шестой. Направленность переноса зарядовых пакетов обеспечивается тем, что во время переноса на затворах 1 и 4 (шина Φ_1) поддерживается низкое напряжение и под ними потенциальная яма не формируется. Для направленного переноса в рассмотренном случае используют трехтактные управляющие напряжения. Для хранения и переноса одного зарядового пакета необходимы три элемента.

Устройства ввода и вывода зарядовых пакетов являются обязательными структурными элементами ПЗС. Они позволяют преобразовывать выходные сигналы (уровни напряжения) в сигнальные зарядовые пакеты, а на выходе осуществлять обратное преобразование. Рассмотрим устройство ввода электрического

сигнала (рис. 9.17, *а*). Оно состоит из области 1 n^+ -типа, которая образует с подложкой $n^+ - p$ переход (входной диод), входного омического контакта 2 к области 1 и входного затвора $\Phi_{вх}$. При простом способе ввода на вход подается сигнал отрицательной полярности, смещающий входной диод в прямом направлении, а к $\Phi_{вх}$ прикладывается управляющее положительное напряжение. Наибольшее прямое смещение инжектирующего $p - n$ перехода обеспечивается в приповерхностной области, оно увеличивается с ростом разности напряжений на входе и на входном затворе.

Зарядовый пакет инжектируется вначале из n^+ -области, под входной затвор (рис. 9.17, *б*), а затем переносится под первый затвор Φ_1 . Величина инжектируемого зарядового пакета увеличивается с ростом амплитуды входного сигнала по нелинейному (приблизительно экспоненциальному) закону. Кроме того, она зависит от времени инжекции, т. е. от тактовой частоты управляющих импульсов. Достоинство данного способа ввода электрического сигнала — высокое быстродействие (время инжекции составляет несколько наносекунд).

В ряде случаев требуется обеспечить близкую к линейной зависимость величины инжектируемого зарядового пакета от входного напряжения. Она может быть получена в том же устройстве ввода (см. рис. 9.18, *а*), если использовать иной режим его работы, называемый режимом инжекции экстракции (рис. 9.17, *в*). Информационный сигнал положительной полярности подают на $\Phi_{вх}$, а входной диод вначале смещают в прямом направлении. На этапе 1 обеспечивается максимальное заполнение электронами потенциальных ям под входным затвором и первым затвором Φ_1 , на который подают напряжение $U_3 > U_{ПОР}$. На втором этапе входной диод смещают в обратном направлении и экстрагируют электроны из-под затворов в n^+ -область. При этом из-под входного затвора заряд экстрагируется полностью, а из-под первого затвора он экстрагируется до уровня, соответствующего поверхностному потенциалу под входным затвором. Поскольку потенциальная яма входного затвора оказывается пустой, то поверхностный потенциал под этим затвором, как отмечалось выше, пропорционален напряжению на этом затворе, т. е. напряжению входного сигнала.

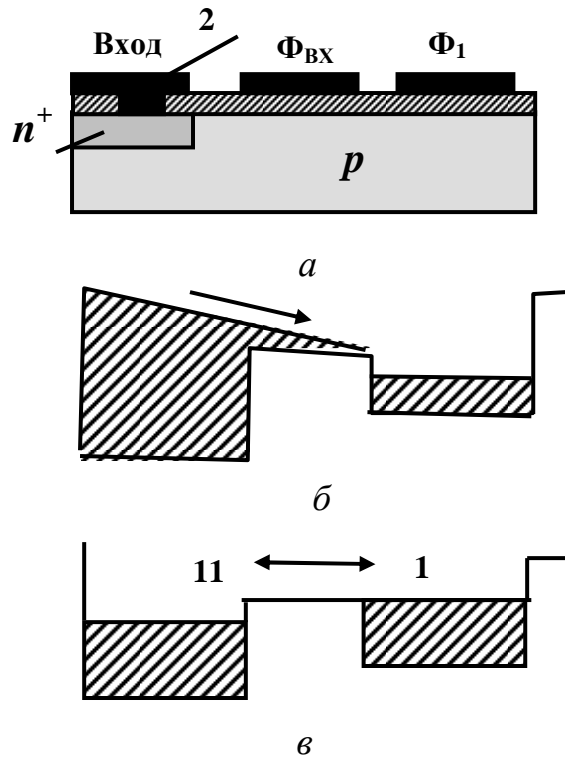


Рис. 9.17 — Устройство ввода сигнала в ПЗС

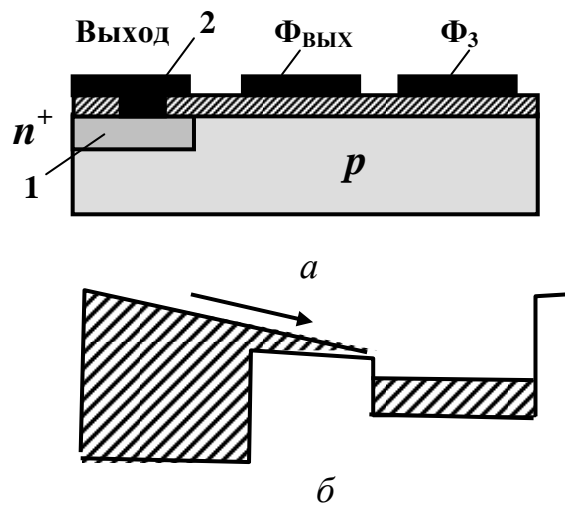


Рис. 9.18 — Устройство вывода сигнала в ПЗС

Следовательно, величина зарядового пакета под первым затвором Φ_1 , пропорциональная поверхностному потенциалу под входным затвором, будет изменяться приблизительно линейно

при изменении амплитуды входного сигнала. Для вывода зарядового пакета на выходе используют устройство (рис. 9.18, *a*), содержащее область 1 n^+ -типа проводимости, омический контакт 2 к этой области и выходной затвор $\Phi_{ВЫХ}$. Область 1 образует с подложкой выходной диод, который смещают в обратном направлении. Для этого на выходной контакт через резистор подают положительное постоянное напряжение, превышающее максимальное напряжение на $\Phi_{ВЫХ}$.

В некоторый момент времени на выходной затвор подают импульс положительной полярности, разрешающий вывод зарядового пакета. Если в последнем элементе Φ_3 к этому моменту времени был накоплен зарядовый пакет, то он переместится в потенциальную яму, расположенную под выходным затвором (рис. 9.18, *b*), а затем в более глубокую потенциальную яму области n^+ -типа и, наконец, в выходную цепь резистора, присоединенного с n^+ -областью. К выходному выводу подключают чувствительный усилитель на МДП-транзисторах, который создается на этой же подложке.

В ряде случаев необходимо осуществлять неразрушающее считывание зарядового пакета. Для этого в качестве датчика поверхностного потенциала и связанной с ним величины зарядового пакета используют МДП-транзистор.

9.6 Параметры элементов ПЗС

К числу основных параметров элементов ПЗС относятся: рабочая амплитуда управляющих напряжений, максимальная величина зарядового пакета, предельные (минимальная и максимальная) тактовые частоты, эффективность переноса зарядового пакета, рассеиваемая мощность. Рабочая амплитуда управляющих напряжений на затворах определяется двумя основными условиями. Она должна быть достаточно большой для обеспечения требуемой величины зарядового пакета и полного смыкания обеденных слоев соседних элементов, чтобы под их затворами образовывалась общая потенциальная яма при переносе зарядового пакета. Чем меньше расстояние между затворами и больше

емкость элемента, тем ниже требуемая амплитуда управляющих напряжений, типичные значения которых 10—20 В. Максимальная величина зарядового пакета $Q_{П.МАКС}$ является важным параметром, характеризующим управляющую способность ПЗС. Она пропорциональна амплитуде управляющего напряжения и площади затвора.

Минимальная тактовая частота обратно пропорциональна максимально допустимому времени хранения зарядового пакета в одном элементе. Это время ограничено, так как постепенно величина зарядового пакета изменяется вследствие неконтролируемого накопления электронов в потенциальных ямах под затвором. Эти электроны появляются в результате тепловой генерации носителей заряда в обедненном слое и на границе полупроводника с диэлектриком, а также за счет диффузии из подложки.

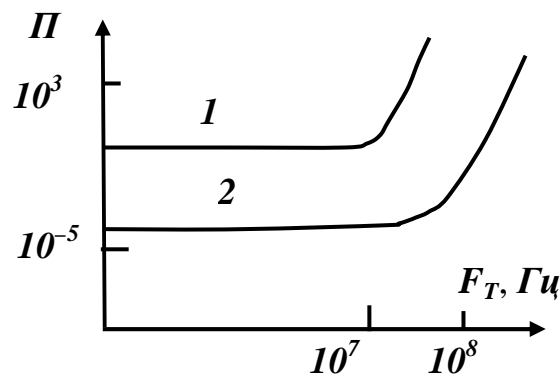


Рис. 9.19 — Зависимость коэффициента потерь от тактовой частоты для различных типов ПЗС

Для увеличения допустимого времени хранения зарядового пакета и уменьшения $f_{М.МИН}$ снижают концентрацию объемных центров рекомбинации, плотность поверхностных состояний и рабочую температуру. Типичные значения $f_{М.МИН} = 30...300$ Гц. Максимальная тактовая частота $f_{М.МАКС}$ обратно пропорциональна минимально допустимому времени переноса. При работе с максимальной тактовой частотой перенос зарядового пакета в следующий элемент начинается непосредственно после окончания его переноса в данный элемент. Минимально допустимое время

переноса зарядового пакета связано с эффективностью его переноса.

Эффективность переноса определяется соотношением $\eta = \frac{Q_{n(i+1)}}{Q_{ni}}$, где Q_{ni} , $Q_{n(i+1)}$ — зарядовые пакеты в i -м элементе до переноса и в следующем $(i+1)$ -м элементе после переноса, вследствие потери части зарядового пакета при переносе $\eta < 1$. Допустимое уменьшение зарядового пакета при многократных переносах зависит от типа устройства. При заданном допустимом уменьшении зарядового пакета эффективность переноса определяет максимальное число элементов, через которые может быть передан зарядовый пакет.

На рис. 9.19 показаны типичные зависимости коэффициента потерь от тактовой частоты для рассмотренных выше элементов ПЗС с поверхностным переносом зарядовых пакетов 1 и с объемным переносом 2. Потери зарядового пакета при переносе на высоких тактовых частотах в основном вызваны тем, что за малое время, отводимое на перенос, часть электронов не успевает переместиться в соседний элемент и остается в предыдущем. Эти потери резко увеличиваются с ростом тактовой частоты, т. е. при уменьшении интервала времени, отводимого на перенос. Минимально допустимое время переноса зависит от требуемой эффективности переноса, длины затвора и подвижности электронов.

Чем больше требуемая эффективность переноса, тем большее время необходимо отвести на перенос зарядового пакета и тем ниже максимальная тактовая частота управляющих импульсов (см. рис. 9.19). На более низких тактовых частотах эффективность переноса достигает максимального значения, которое практически не зависит от тактовой частоты. На этих частотах потери зарядового пакета обусловлены захватом части электронов поверхностными ловушками. За время переноса ловушки не успевают отдать все захваченные ими электроны. Потери такого типа увеличиваются, если данный зарядовый пакет переносится через элементы, не содержавшие перед этим других зарядовых пакетов, так как в них поверхностные ловушки оказываются незаполненными. Для уменьшения потерь, связанных

с поверхностными ловушками, используют фоновый заряд, вводимый во все элементы. При этом управляющее напряжение тактовых импульсов понижают не до нуля, а до некоторого положительного значения. При этом в соответствующих элементах, где формируются неглубокие потенциальные ямы, сохраняется фоновый заряд, заполняющий поверхностные ловушки. Тем самым уменьшаются потери зарядового пакета при переносе. Однако потери, связанные с захватом электронов поверхностными ловушками, не снижаются до нуля из-за краевого эффекта: фоновый заряд занимает под затвором меньшую площадь, чем информационный зарядовый пакет, т. е. заполняет не все поверхностные ловушки, расположенные вблизи краев затвора. Кроме того, часть электронов захватывается ловушками, расположенными между затворами.

Рассеиваемая мощность элементов ПЗС очень мала. В стадии хранения она практически не рассеивается, так как текут очень малые токи термогенерации. Мощность рассеивается в элементах ПЗС только в режиме переноса зарядового пакета. Она увеличивается пропорционально тактовой частоте, амплитуде управляющего напряжения и величине зарядового пакета.

Рассеиваемая мощность элементов ПЗС менее 1 мкВт. Столь малая рассеиваемая мощность — одно из их главных достоинств.

9.7 Разновидности конструкций

Устройство элементов ПЗС и принцип переноса зарядовых пакетов были рассмотрены на примере прибора с трехтактными управляющими импульсами. Достоинство этих приборов — наиболее простая структура элементов. Одним из недостатков трехтактных ПЗС является необходимость использования управляющих импульсов сложной (трапецеидальной) формы. Длительность срезов тактовых импульсов должна быть достаточно большой, иначе увеличиваются потери зарядов. На практике, кроме трехтактных, используются также четырех-, двух- и одноктактные приборы. Четырехтактные ПЗС могут работать при управляющих импульсах, форма которых более простая и близка к прямоугольной. В этих приборах также используются простейшие МДП-структуры.

Как в трех-, так и в четырехтактных ПЗС направление переноса зарядовых пакетов определяется только последовательностью тактовых импульсов. Изменяя эту последовательность, можно передавать зарядовые пакеты сначала в одном, а затем в другом (противоположном) направлении. Поэтому ПЗС с простейшей структурой элементов могут быть названы приборами с двунаправленным переносом. В двухтактных ПЗС направленное перемещение зарядовых пакетов обеспечивается за счет более сложной — асимметричной — структуры элементов.

В рассмотренных выше ПЗС использовался перенос зарядов в очень тонком слое полупроводника, расположенном вблизи его поверхности. Для них поверхностные состояния и низкая подвижность электронов у поверхности ограничивают эффективность переноса и максимальную тактовую частоту. Улучшить эти параметры прибора можно в том случае, если хранить и передавать зарядовые пакеты на достаточном удалении от поверхности полупроводника.

Это условие реализуется в ПЗС с объемным каналом переноса. Структура такого прибора показана на рис. 9.20, а.

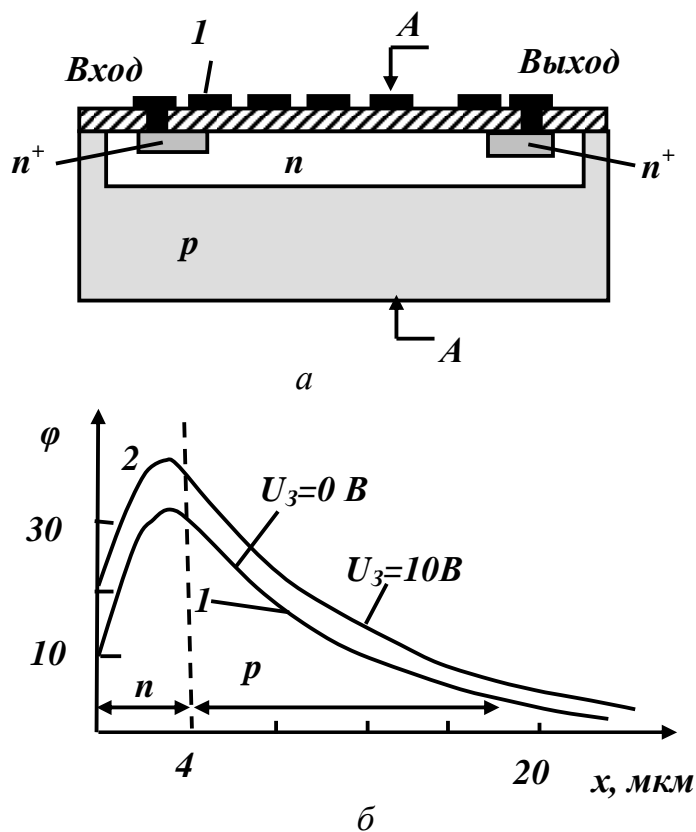


Рис. 9.20 — Структура ПЗС с объемным каналом

Для его создания в высокоомной подложке p -типа диффузией или ионным легированием формируют тонкий (толщиной около 4 мкм) n -слой. На краях n -слоя размещаются входная и выходная области n^+ -типа, к которым создают омические контакты. Прибор с объемным каналом переноса работает следующим образом. Предположим, что подложка и все затворы 1 заземлены, входная цепь разомкнута, а к выходному выводу через резистор подключен источник положительного постоянного напряжения (30 В), смещающий p - n переход между n -областью и подложкой в обратном направлении. При этих условиях в рассматриваемой структуре образуются не только приповерхностные обедненные области под затворами, но и обедненная область p - n перехода.

Если положительное напряжение на n -слое достаточно велико, то приповерхностные подзатворные обедненные области смыкаются (в вертикальном направлении) с обедненной областью p - n перехода. Под каждым затвором образуется единая обедненная область, энергия электронов в которой меньше, чем в подложке и вблизи поверхности полупроводника.

Распределение потенциала в вертикальном направлении по сечению А—А структуры показано на рис. 9.20, б (кривая 1). Координата x отсчитывается от поверхности полупроводника. Распределение потенциала имеет максимум на глубине $x = 3$ мкм, т. е. внутри p - n -слоя. Он соответствует минимуму потенциальной энергии электронов. Электроны, введенные в такую структуру, будут смещаться электрическим полем к области с минимальной потенциальной энергией. Следовательно, аналогично структуре с поверхностным каналом переноса эта структура способна накапливать и хранить зарядовые пакеты в потенциальных ямах под затворами. В отличие от ПЗС с поверхностным каналом переноса здесь в потенциальных ямах, расположенных в n -слое, накапливаются основные носители — электроны. Как и в приборах с поверхностным каналом переноса, глубину потенциальной ямы в рассматриваемой структуре можно регулировать, изменяя напряжение на соответствующем затворе. Кривая 2 на рис. 9.20, б показывает, как влияет повышение напряжения на затворе до 10 В на распределение потенциала (при пустой потенциальной яме). Заряды можно перемещать из данного элемента в соседний,

изменяя напряжения на затворах точно так же, как в трехтактных ПЗС с поверхностным каналом переноса. Поскольку минимум потенциальной энергии (т. е. область накопления зарядовых пакетов) располагается на значительном расстоянии от границы полупроводник — диэлектрик, влияние поверхностных состояний резко ослабляется и увеличивается подвижность электронов. Эти факторы приводят к увеличению максимальной тактовой частоты и снижению коэффициента потерь.

Эффективность переноса ПЗС с объемным каналом на средних частотах определяется взаимодействием зарядовых пакетов с объемными ловушками. Концентрация объемных ловушек значительно ниже, чем поверхностных. Важное достоинство ПЗС с объемным каналом — низкий уровень шумов, обеспечиваемый устранением взаимодействия зарядовых пакетов с поверхностными состояниями. Их недостатком является значительно меньшая величина максимального зарядового пакета, что обусловлено большим расстоянием между затвором и областью накопления зарядов.

Вопросы для самопроверки

1. Основные достоинства логических элементов на полевых транзисторах. Какие типы полевых транзисторов в настоящее время применяются?
2. Нарисуйте схему инвертора на n -канальных МДП-транзисторах.
3. Объясните работу инвертора на МДП-транзисторах на физическом уровне.
4. Начертите схему инвертора на комплементарных транзисторах.
5. Объясните работу инвертора на комплементарных транзисторах на физическом уровне.
6. Основные достоинства инвертора на комплементарных транзисторах по сравнению с инвертором на МДП-транзисторах.
7. Логическая схема *И-НЕ* на n -канальных транзисторах.
8. Логическая схема *ИЛИ-НЕ* на n -канальных транзисторах.

9. Объясните работу схем *И-НЕ*, *ИЛИ-НЕ* на *n*-канальных транзисторах.

10. Основные достоинства логических элементов на *n*-канальных транзисторах.

11. Логические схемы *И-НЕ*, *ИЛИ-НЕ* на комплементарных транзисторах, начертите схемы.

12. Объясните работу схем *И-НЕ*, *ИЛИ-НЕ* на комплементарных транзисторах.

13. Объясните работу инвертора динамического типа.

14. Для чего в схему инвертора динамического типа вводится передаточный транзистор?

15. По какой причине в логических схемах динамического типа тактовые последовательности сдвинуты относительно друг друга во времени?

16. Логические элементы *И-НЕ*, *ИЛИ-НЕ* динамического типа.

17. Основные достоинства логических элементов динамического типа.

18. Устройства и принцип действия приборов с зарядовой связью.

19. Причины, приводящие к неполному переносу зарядового пакета в ПЗС.

20. Нарисуйте схемы ввода и вывода сигналов в ПЗС и объясните принцип работы.

21. Основные параметры элементов ПЗС.

22. Принципы повышения эффективности переноса в ПЗС с поверхностным каналом.

23. Разновидности конструкций ПЗС (принципы работы ПЗС с объёмным каналом).

10 ТЕХНОЛОГИЧЕСКИЕ ОСНОВЫ МИКРОЭЛЕКТРОНИКИ

Структуры, электрические параметры микросхем и их элементов определяются технологией изготовления. В данной главе даются сведения о типовых технологических процессах и операциях, применяемых для создания полупроводниковых и гибридных микросхем. Совокупность технологических процессов и операций, проводимых в определенной последовательности, составляет технологический цикл изготовления микросхем.

10.1 Общие сведения о технологии изготовления полупроводниковых микросхем

Создание микросхем начинается с подготовки полупроводниковых пластин. Их получают разрезанием монокристаллических полупроводниковых слитков цилиндрической формы с последующими шлифовкой, полировкой и химическим травлением для удаления верхнего дефектного слоя и получения зеркальной поверхности с шероховатостью (высотой неровностей) 0,03...0,05 мкм. Диаметр пластин не превышает 300 мм, толщина около 0,5 мм, допустимый прогиб и отклонение от параллельности поверхностей не более 10 мкм по всему диаметру. Пластины характеризуются типом (n или p) электрической проводимости (электропроводности), удельным сопротивлением, а также кристаллографической ориентацией поверхности. Для последующих операций исключительно важна чистота поверхности. Поэтому перед началом, а также неоднократно в течение технологического цикла производят очистку, удаляя посторонние вещества с помощью промывки, растворения и т.п.

Эффективна ультразвуковая очистка, когда пластины погружают в ванну с растворителем, перемешиваемым с помощью ультразвука. Технологический цикл может быть разделен на два больших этапа — обработки пластин и сборочно-контрольный. Первый этап включает процессы, формирующие на пластинах структуры микросхем, т. е. их элементы и соединения.

Для реализации элементов в определенных местах пластины создают области с требуемыми типом электропроводности и

удельным сопротивлением, вводя соответствующие примеси или наращивая слои на поверхность. Проводники соединений, а в совмещенных микросхемах резисторы и конденсаторы получают нанесением на поверхность пластин пленок. Геометрия легированных областей и тонкопленочных слоев задается масками, формируемыми с помощью литографии. В результате на пластинах образуется матрица одинаковых структур, каждая из которых соответствует одной микросхеме, т. е. на данном этапе микросхемы создаются групповыми методами.

Второй этап начинается с контроля функционирования микросхем на пластине. Электрические контакты с отдельными микросхемами осуществляются с помощью механических зондов — тонких игл, устанавливаемых на контактные площадки микросхем. Зондовый контроль производится на автоматизированных установках, дефектные микросхемы маркируются. Повышение степени интеграции и разработка СБИС ставят задачу проверки целостности связей и выявления всех дефектных элементов на пластинах. Для этой цели разработаны более сложные и эффективные методы контроля: электронно-лучевое зондирование, исследование поверхности пластин с помощью электронного микроскопа и др. Для повышения процента выхода годных микросхем в некоторых СБИС предусматривают резервирование отдельных элементов или узлов. После выявления дефектных элементов или участков устраняют их связи со всей схемой, например, пережиганием проводников с помощью остросфокусированного лазерного луча.

На следующем этапе пластины разрезают на кристаллы, соответствующие отдельным микросхемам, и дефектные кристаллы отбраковывают. Кристаллы устанавливают в корпус, соединяют контактные площадки кристаллов с выводами корпуса (монтаж выводов) и герметизируют корпус. Затем производят контроль и испытания готовых микросхем с помощью автоматизированных систем, работающих по заданной программе.

Различают тестовый контроль (проверка функционирования) и параметрический, заключающийся в измерении электрических параметров и проверке их соответствия нормам технических условий. Контрольно-сборочные операции производятся индивидуально для каждой микросхемы в отличие от групповых процессов

создания микросхем на этапе обработки пластин, поэтому они в значительной степени (30...40 %) определяют трудоемкость изготовления, стоимость и надежность микросхем.

10.2 Эпитаксия

Эпитаксия — это процесс наращивания на пластину (подложку) монокристаллического слоя (эпитаксиальной пленки), повторяющего структуру подложки и ее кристаллографическую ориентацию. В большинстве случаев материалы пленки и подложки одинаковы, но могут применяться и разные материалы с близкой кристаллической структурой, например пленка кремния на сапфировой подложке. Эпитаксиальная пленка создается на всей поверхности подложки, одновременно в неё вводятся примеси, распределяющиеся равномерно по объему пленки. На границе раздела пленки с подложкой можно сформировать р-п переход. Для создания многослойной структуры проводят несколько последовательных эпитаксий. В технологии кремниевых микросхем распространена газозная эпитаксия, осуществляемая в эпитаксиальном реакторе (рис. 10.1).

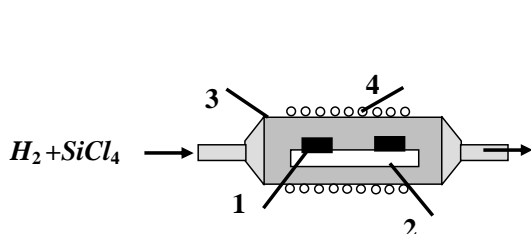


Рис. 10.1— Газовая эпитаксия

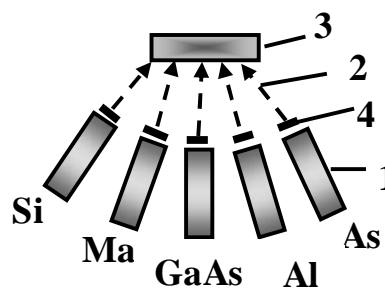


Рис. 10.2 — Молекулярно-лучевая эпитаксия

Пластины 1 на графитовом держателе 2 помещаются в кварцевую трубу 3 с высокочастотным нагревателем 4. Через трубу пропускают поток водорода с небольшим (доли процента) содержанием тетрахлорида кремния и газообразное соединение доноров (например, PH_3 , PCl_3) или акцепторов (BBr_3 , B_2H_6). На поверхностях пластин, где устанавливается и поддерживается с большой точностью высокая температура (около 1200 °С), происходит

реакция $SiCl_4 + H_2 \rightarrow Si \downarrow + HCl \uparrow$. Образующиеся атомы кремния перемещаются (мигрируют) по поверхности, занимая положения в узлах кристаллической решетки. Растущая пленка продолжает кристаллическую структуру подложки. Атомы доноров (P) или акцепторов (B) образуются также в результате химических реакций. Скорость роста пленки (0,1...1 мкм/мин) зависит от температуры, содержания $SiCl_4$ скорости потока газа, а также кристаллографической ориентации поверхности. Из-за высокой температуры процесса примеси диффундируют из пленки в подложку и обратно. Это затрудняет создание резких переходов и тонких (менее 0,5 мкм) эпитаксиальных пленок. Толщина пленок лежит в пределах 1...15 мкм. Более низкой температурой (1000 °С) при сохранении достаточной скорости роста пленки характеризуется процесс на основе реакции разложения силана SiH_4 , но и он не позволяет получить пленку тоньше 0,1...0,2 мкм. Для реализации очень тонких (до нескольких нанометров) пленок и резких переходов, требуемых, например, в технологии арсенид-галлиевых микросхем, используют молекулярно-лучевую эпитаксию. Она основана на взаимодействии молекулярных пучков с подложкой, имеющей сравнительно невысокую температуру (600...800 °С), в сверхвысоком вакууме (10^{-7} — 10^{-5} Па). Рис. 10.2 поясняет эпитаксию пленки арсенида галлия-алюминия $Al_xGa_{1-x}As$ на подложку арсенида галлия. Несколько тиглей 1 содержат составные элементы пленки (Al , Ga , As) и легирующие примеси (Si — донор, Mn — акцептор).

При нагревании эти вещества испаряются, образуя молекулярные пучки 2, переносятся на подложку 3 и конденсируются на ней. Подбором температуры источников и подложки получают пленки с нужным химическим составом. Время процесса и толщина пленок регулируются заслонками 4, прерывающими попадание пучков на подложку.

10.3 Диффузия примесей

Диффузия примесей — это технологическая операция легирования — введения примесей в пластину или эпитаксиальную пленку. При высокой температуре (около 1000 °С) примесные

атомы поступают через поверхность и распространяются вглубь вследствие теплового движения. Основным механизмом проникновения примесного атома в кристаллическую решетку состоит в последовательном перемещении по вакансиям (пустым узлам) решетки. Возможны также, хотя и менее вероятны, перемещения по междоузлиям и обмен местами с соседними атомами.

С другой стороны, известно, что атом примеси электрически активен, т. е. выполняет функцию донора или акцептора, только в том случае, если он занимает место в узле. Следовательно, для получения сильнолегированных областей и (или) сокращения времени диффузии необходимо иметь высокую концентрацию вакансий в поверхностном слое пластины. При нормальной температуре она очень мала (10^7 см^{-3}), но при температуре $500 \dots 1200 \text{ }^\circ\text{C}$ достигает 10^{21} см^{-3} за счет поверхностного испарения атомов, диффузии атомов основного материала из глубины пластины к ее поверхности (что эквивалентно «диффузии» вакансий от поверхности вглубь), а также смещения атомов в междоузлия вследствие тепловых колебаний решетки. Как правило, легирование ведется через маску диоксида SiO_2 или нитрида Si_3N_4 кремния толщиной около $0,5 \text{ мкм}$ (рис. 10.3). Концентрация введенных примесей (доноров $N_D(x)$ на рис. 10.4) максимальна у поверхности и спадает по направлению в глубь пластины. Расстояние x_0 , на котором она равна концентрации исходной примеси (акцепторов N_a на рис. 10.4), называют толщиной диффузионного слоя. Если вводится примесь противоположного по отношению к подложке типа, то x_0 соответствует металлургической границе образующегося p - n перехода.

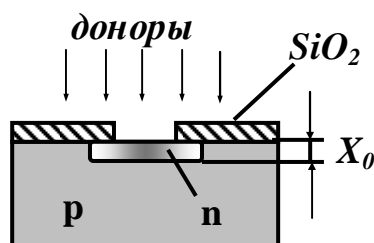


Рис. 10.3 — Диффузия примесей

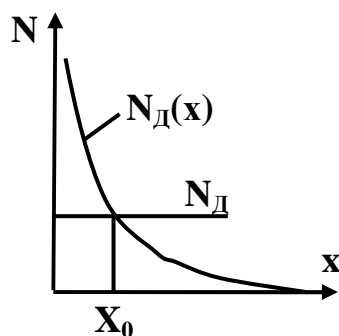


Рис. 10.4 — Распределение концентрации примесей

Так как примесь диффундирует также под маску, то p - n переход на краях имеет форму, близкую к цилиндрической или сферической с радиусом кривизны $r = x_0$, а размер диффузионного слоя в горизонтальном направлении у поверхности больше размера отверстия в маске на $2r$. Примеси характеризуются коэффициентом диффузии D , определяющим плотность потока Π диффундирующих атомов, т. е. атомов, проходящих в единицу времени через единицу поверхности, перпендикулярной направлению диффузии: $\Pi = -D \text{grad} N$. Чем больше D , тем быстрее распространяются примесные атомы и меньше время получения слоя заданной толщины. Формирование слоев большой толщины (около 10 мкм) — длительный процесс, который применяется редко. Коэффициент диффузии существенно увеличивается с ростом температуры — на порядок на каждые 100 °С.

С этим связана необходимость поддержания температуры с высокой точностью: $\pm(0,1 \dots 0,2)$ °С. Другой параметр примесей — предельная растворимость (максимально достижимая концентрация примесей $N_{\text{П.ПРЕД}}$) в отличие от D незначительно увеличивается с ростом температуры (в 2...3 раза на каждые 300 °С при $T < 1300$ °С). При $T = 1100$ °С она составляет $10^{20} \dots 10^{21}$.

Если над пластинами избыток диффузанта, то у их поверхности быстро устанавливается максимальная концентрация примесей, близкая к предельной растворимости, которая далее не изменяется.

Распределение концентрации примесей при таком режиме диффузии, называемом загонкой примесей, показано на рис. 10.5, а

для разных температуры и времени процесса. Атомы примесей сосредоточены в узком приповерхностном слое. Назначение загонки обычно состоит во введении определенной дозы легирования (числа атомов, поступающих через единицу поверхности) $N_{Л} = \int N(x)dx = N_{пред} \sqrt{Dt}$. Для окончательного формирования диффузионного слоя введенную примесь подвергают перераспределению на втором этапе, называемом разгонкой примесей.

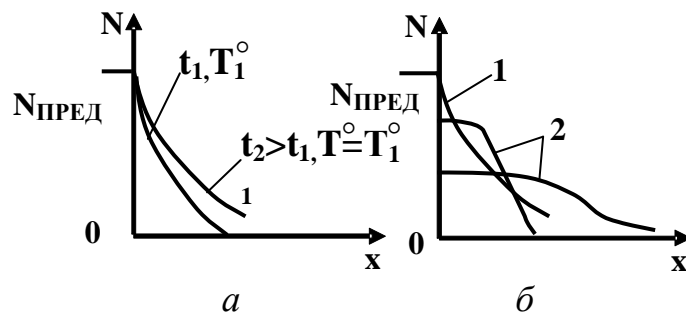


Рис. 10.5 — Распределение примесей при разной температуре и времени

Подачу диффузанта прекращают, примеси распространяются вглубь при $N_{Л} = const$, поверхностная концентрация $N_{ПОВ}$ уменьшается, а толщина слоя возрастает. На рис. 10.5, б приведены графики функции $N(x)$ после загонки 1 и разгонки 2. Для создания нескольких слоев с разными типами электропроводности диффузия проводится многократно. Например, при первой диффузии в пластине n -типа можно сформировать p -слой, а затем при второй диффузии ввести в него доноры на меньшую глубину, получив структуру типа $n-p-n$. При многократной диффузии концентрация каждой новой вводимой примеси должна превышать концентрацию предыдущей, чтобы изменился тип проводимости и образовался $p-n$ переход.

Максимальная концентрация ограничена предельной растворимостью, поэтому число последовательных диффузий, как правило, не превышает трех. Последующие диффузии из-за высокой температуры вызывают нежелательную разгонку примесей, введенных на предыдущих этапах. Поэтому температуру и (или)

время последующих диффузий надо выбирать меньше, а коэффициент диффузии и предельную растворимость примесей больше, чем на предыдущих этапах.

10.4 Ионное легирование

Ионное легирование — это технологическая операция введения примесей в поверхностный слой пластины или эпитаксиальной пленки путем бомбардировки ионами примесей. Получение ионов, их ускорение и фокусировку производят в специальных вакуумных установках. Пары легирующих элементов поступают в ионизационную камеру, где возбуждается высокочастотный или дуговой электрический разряд. Образовавшиеся ионы (P^+ , As^+ , B^+ и др.) вытягиваются из камеры с помощью экстрагирующего электрода, на который подается высокий отрицательный потенциал (10...20 кВ), и поступают в магнитный масс-сепаратор, который устраняет посторонние ионы, присутствующие в газовом разряде. Принцип действия масс-сепаратора основан на зависимости траектории движения в постоянном поперечном магнитном поле от массы иона. Поэтому на его выход попадают только нужные ионы. Далее ионы ускоряются в электрическом поле (ускоряющее напряжение до 300 кВ) и фокусируются в пучок с плотностью тока до 100 А/м^2 и площадью сечения 1...2 мм^2 . Система сканирования обеспечивает перемещение пучка, что позволяет последовательно облучить всю поверхность пластины. Легирование обычно осуществляют через маску SiO_2 или Si_3N_4 толщиной около 0,5 мкм, превышающей длину пробега ионов в этих материалах. Так как ионный пучок направлен перпендикулярно поверхности, а боковое рассеяние ионов невелико, то горизонтальные размеры легированной области точно соответствуют отверстию в маске (рис. 10.6). Это является преимуществом по сравнению с легированием путем диффузии, так как позволяет получать области меньших размеров (см. рис. 10.6 и 10.3). Принципиально возможно локальное легирование без применения маски с помощью сканирования остросфокусированного ионного пучка, включаемого и выключаемого по заданной программе. На рис. 10.7 показаны распределения концентраций примесей бора

$N_a(x)$ для одной и той же дозы легирования $N_{л.а}$, но разных энергий ионов. Длина пробега ионов является случайной величиной, распределенной по нормальному закону, и характеризуется средним значением \bar{l} и среднеквадратическим отклонением σ . Обе величины \bar{l} и σ увеличиваются с ростом энергии ионов. Положение максимума распределения $N_a(x)$ соответствует \bar{l} , толщина легированного слоя — «ширина» распределения $N_a(x)$ пропорциональна σ , а максимальная концентрация определяется дозой легирования: $N_{макс} = N(\bar{l}) = N_{л.а} / (\sqrt{2\pi\sigma})$.

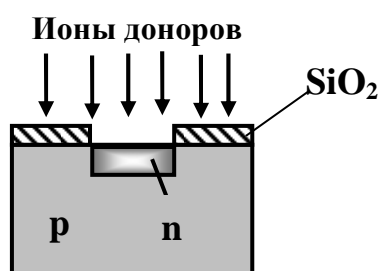


Рис. 10.6 — Ионное легирование

При малой энергии ионов слой p -типа образуется у поверхности, а его толщина определяется из условия $N_a(x_{01}) = N_D$, где N_D — исходная концентрация доноров в пластине n -типа. На расстоянии x_{01} от поверхности образуется p - n переход. При большой энергии ионов слой p -типа располагается на расстоянии x_{02}^1 от поверхности и имеет толщину Δx .

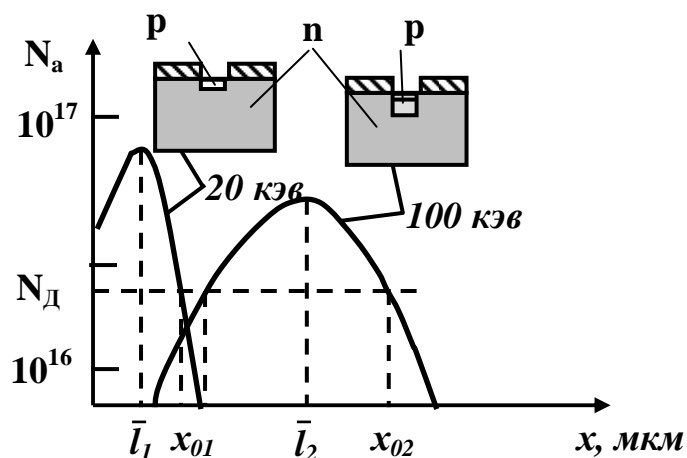


Рис. 10.7 — Распределение примесей при ионном легировании

С ростом энергии ионов увеличивается число радиационных дефектов в кристалле (смещений атомов), поэтому энергию обычно ограничивают (до 200 кэВ). Значение \bar{l} не превышает 0,5...0,7 мкм. Доза легирования регулируется током ионного пучка и временем легирования (порядка нескольких минут). При большой дозе можно получить концентрацию примесей выше, чем при диффузии (больше предельной растворимости), но одновременно растёт и число дефектов вплоть до разрушения поверхностного кристаллического слоя и превращения его в аморфный. Ускоряющее напряжение и ток пучка поддерживают с большой точностью, что обеспечивает высокую воспроизводимость параметров легированных слоев. После ионного легирования производят отжиг пластин при температуре 600...900 °С с целью снижения числа радиационных дефектов и активации примесей. При отжиге смещенные атомы основного полупроводника возвращаются в нормальные положения в узлах кристаллической решетки. Примесные атомы перемещаются в пустые узлы (происходит активация) — только в этом случае они будут действовать как доноры или акцепторы. В некоторых случаях при получении слоев большой толщины ионное легирование применяют в качестве первого этапа — загонки, а затем осуществляют второй этап легирования — разгонку при высокой температуре (900...1000 °С), совмещая ее с отжигом. Такой способ загонки по сравнению с диффузионным обеспечивает более точное дозирование вводимой примеси. Ионное легирование широко используется при создании БИС и СБИС. По сравнению с диффузией оно позволяет создавать слои с субмикронными горизонтальными размерами толщиной менее 0,1 мкм с высокой воспроизводимостью параметров. Процесс ионного легирования занимает меньше времени, обеспечивая высокую производительность. Он происходит при меньшей температуре и мало изменяет распределения примесей, полученные на предыдущих этапах. Возможно внедрение практически любых элементов. При этом обеспечивается высокая степень чистоты вследствие проведения процесса в вакуумной камере и магнитного сепарирования ионов. Ионное легирование технологически хорошо совместимо с другими вакуумными процессами, перспективными для СБИС. К недостаткам относятся сложность оборудования, малая глубина залегания слоев и образование дефектов кристаллической структуры, не полностью устраняемых отжигом.

10.5 Термическое окисление и свойства пленки диоксида кремния

Термическое (высокотемпературное) окисление позволяет получить на поверхности кремниевых пластин пленку диоксида кремния, что широко используется для создания масок при легировании (см. рис. 10.3, 10.6), формировании подзатворного диэлектрика в МДП-транзисторах, а также изолирующих слоев между элементами. Применение пленки SiO_2 в качестве маски при диффузии примесей основано на том, что коэффициент диффузии ряда примесей (P , B , As , Sb и др.) в ней значительно меньше, чем в кремнии. При ионном легировании маскирующее свойство слоя SiO_2 основано на том, что длина пробега ионов меньше толщины слоя.

Пленка SiO_2 прозрачна, имеет блестящую стеклянную поверхность и при толщине в десятые доли микрометра кажется окрашенной вследствие интерференции света, отраженного от ее поверхности и поверхности кремния. По этой окраске можно приблизительно определить ее толщину. Например, зеленый цвет соответствует толщине 0,27 мкм. Диоксид кремния и кремний имеют близкие температурные коэффициенты расширения (ТКР), благодаря чему не происходит механических повреждений пленки при изменениях температуры. Диэлектрическая проницаемость SiO_2 составляет 0,3 пф/см, а электрическая прочность — 600 В/мкм. Плотность поверхностных состояний (ловушек) и скорость поверхностной рекомбинации на границе $Si - SiO_2$ гораздо меньше, чем на поверхности не окисленного кремния и составляют соответственно — $10^9 - 10^{11} \text{ см}^{-3}$ и 1...100 см/с. В пленке SiO_2 вблизи границы раздела с кремнием существует положительный заряд, образованный ионами Si^+ , — фиксированный поверхностный заряд. Величина $Q_{нов}$ коррелирует с плотностью поверхностных состояний. Слой SiO_2 защищает поверхность кремния от проникновения посторонних химических веществ и влаги. Окисление выполняют в эпитаксиальных или диффузионных установках, пропуская над поверхностью пластин газ-окислитель, кислород, водяной пар или их смесь (влажный кислород) при

температуре 1000...1300 °С. Скорость роста пленки в зависимости от температуры и содержания водяного пара в смеси изменяется в пределах 0,05...1 мкм/час. Окисление влияет на концентрацию примесей у поверхности.

Во-первых, из-за высокой температуры происходит разгонка примесей, — она может быть как полезной, так и нежелательной. Во-вторых, происходит сегрегация (перераспределение) примеси между кремнием и диоксидом кремния. Если растворимость примеси в диоксиде значительно меньше, чем в кремнии, то растущий в глубь пластины диоксид «вытесняет» примесь и ее концентрация у границы раздела повышается. Это характерно для фосфора: происходит обогащение поверхностного слоя *n*-типа атомами доноров и повышается проводимость. Для бора, наоборот, растворимость в SiO_2 больше, чем в кремнии, и растущий диоксид поглощает примесь. В результате поверхностный слой *p*-типа обедняется акцепторами и его проводимость снижается. Во многих микросхемах слои SiO_2 необходимо выращивать локально, на определенных участках кристалла. Для этого используют маску нитрида кремния (рис. 10.8, *a*). Диоксид растет вверх, вниз и в боковых направлениях (под маску) примерно с одинаковой скоростью (рис. 10.8, *б*). Прорастание диоксида в глубь кристалла позволяет использовать его для изоляции соседних слоев.

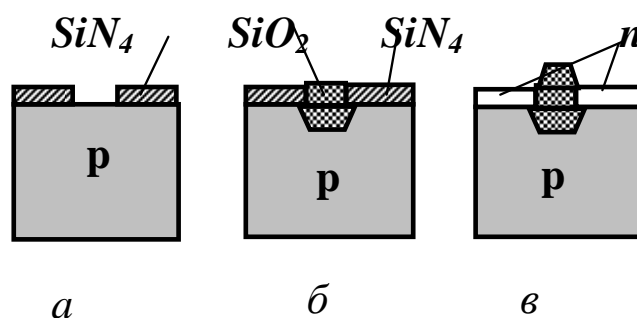


Рис. 10.8 — Окисление подложки через маску

Например, если после окисления удалить маску Si_3N_4 и провести неглубокое легирование донорами, то получим изолированные друг от друга слои *n*-типа (рис. 10.8, *в*). Рост диоксида в боковом направлении обуславливает характерную вытянутую заостренную форму на краях, препятствующую получению малых

расстояний между соседними изолированными областями, а рост вверх приводит к неровностям поверхности. Для получения ровной поверхности перед окислением вытравливают канавки глубиной в половину толщины диоксида, используя ту же маску Si_3N_4 .

10.6 Травление

Травление представляет собой удаление поверхностного слоя не механическим, чаще всего химическим путем. Его применяют для получения максимально ровной бездефектной поверхности пластин, не достижимой механическими способами обработки, удаления SiO_2 и других слоев с поверхности. Локальное травление используется для получения необходимого рельефа поверхности, формирования рисунка тонкопленочных слоев, а также масок.

Жидкостное травление. В основе жидкостного травления лежит химическая реакция жидкого травителя и твердого тела, в результате которой образуется растворимое соединение. Подбором химического состава, концентрации и температуры травителя обеспечивают заданную скорость травления (порядка 0,1 мкм/мин) и толщину удаляемого слоя. Локальное травление осуществляют через маску. Оно может быть изотропным и анизотропным.

Изотропное травление идет с одинаковой скоростью во всех направлениях — как вглубь, так и под маску. Примером такого процесса служит травление слоя SiO_2 через маску фоторезиста 1 (рис. 10.9). Основной компонент травителя — плавиковая кислота НР. Размер W вытравленной области больше размера отверстия W_0 в маске на величину, превышающую удвоенную толщину d слоя SiO_2 ($W > W_0 + 2d$). В связи с этим жидкостное изотропное травление не позволяет получить в слое SiO_2 отверстия достаточно малых размеров. Так как этот слой в свою очередь является маской при легировании, то не могут быть реализованы элементы микросхем достаточно малых размеров. Жидкостное травление обладает высокой избирательностью, количественно оцениваемой отношением скоростей травления требуемого слоя (например, SiO_2) и других слоев (например, кремния, фоторезиста).

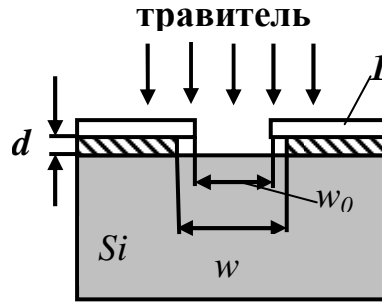


Рис. 10.9 — Травление под маску

Сухое анизотропное травление. Такое травление производят в вакуумной установке в плазме газового разряда. Различают ионное травление, основанное на физическом распылении материала при бомбардировке его ионами инертных газов, плазмохимическое травление, основанное на химическом взаимодействии активных частиц плазмы (ионов, атомов, молекул) с материалом, подвергающимся травлению, и комбинированное реактивное ионное травление.

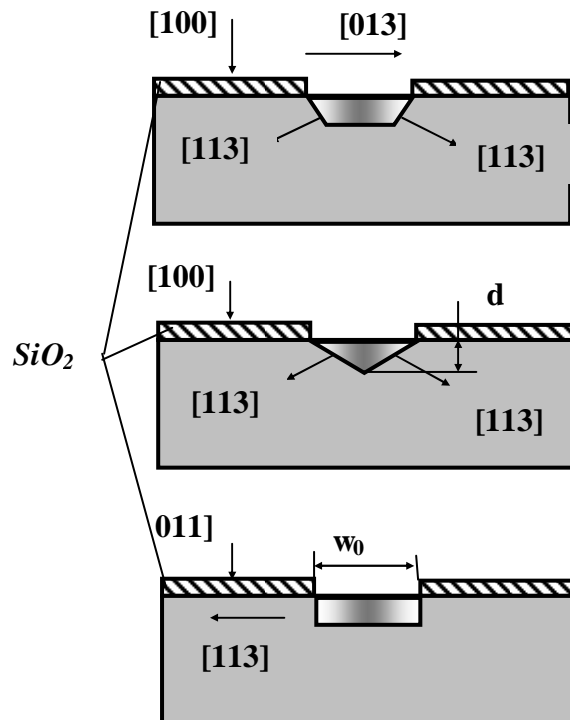


Рис.10.10 — Размеры канавок и их формы от ориентации поверхности

Важнейшим достоинством сухого травления является его анизотропия: травление идет преимущественно в вертикальном направлении, в котором движутся частицы. Размер вытравленной области весьма точно соответствует размеру отверстия в маске.

На рис. 10.11 показано травление слоя диоксида кремния через маску фоторезиста 1. Процесс позволяет получать отверстия в слое SiO_2 меньших размеров, чем при жидкостном травлении. Количественно анизотропия оценивается отношением скоростей травления в вертикальном и горизонтальном направлениях. Ионное травление практически не обладает избирательностью. Поэтому, несмотря на максимальную анизотропию, использовать его для локального травления затруднительно.

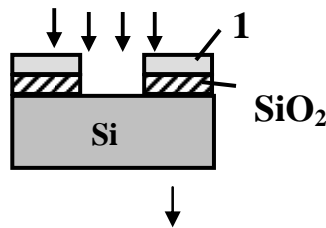


Рис. 10.11 — Пример сухого анизотропного травления

Ионное травление применяется в основном для очистки поверхности от загрязнений. Плазмохимическое травление производится при давлении порядка 500 Па в плазме высокочастотного газового разряда. На поверхность пластин попадают ионы с малыми энергиями (100 эВ) и нейтральные химически активные атомы и молекулы. Анизотропия в этом случае мала (7—5), но обеспечиваются высокая избирательность (до 50) и скорость травления 2...10 нм/с. Наиболее широкие возможности имеет реактивное ионное травление. Оно производится при меньших давлениях (около 1 Па) и больших энергиях ионов (до 500 эВ).

Скорость химических реакций нейтральных атомов и молекул с материалом, подвергаемым травлению, возрастает вследствие бомбардировки его ионами. При низких давлениях средняя длина свободного пробега молекул намного больше глубины травления, а скорость взаимодействия газа с горизонтальной поверхностью пластины больше, чем с боковыми стенками углублений. С другой стороны, химические реакции, ослабляя связи атомов на поверхности, способствуют физическому распылению

материала ионами. Все это обуславливает высокую анизотропию процесса (до 100) при хорошей избирательности (до 30) и достаточно высокой скорости (0,3...3 нм/с).

10.7 Методы получения структур типа $Si-SiO_2-Si$

В полупроводниковых микросхемах широко применяются пленки поликристаллического кремния, легированные донорами или акцепторами, нанесенные на поверхность кремниевой пластины, покрытой диоксидом кремния. Такие пленки формируются обычно химическим осаждением из газовой фазы. В отличие от монокристаллического кремния в поликристаллических пленках малы подвижность электронов и дырок и время жизни неосновных носителей. Это объясняется наличием большого числа дефектов структуры, являющихся центрами рассеяния и рекомбинации. Поэтому параметры транзисторов, сформированных в поликристаллической пленке, значительно хуже, чем в монокристалле. Термическая обработка (отжиг) позволяет значительно повысить подвижность носителей заряда в пленке, что делает возможным создание в ней полевых (в частности, МДП) транзисторов с удовлетворительными параметрами. В результате плавления поликремниевой пленки при отжиге и последующей рекристаллизации при охлаждении монокристаллические зерна кремния укрупняются, и параметры пленки приближаются к параметрам монокристалла. Известны методы отжига с помощью лазерного луча, сканирующего по поверхности пластин, а также движущегося ленточного графитового нагревателя. Последний способ позволяет получать пластины со структурой типа $Si-SiO_2-SiO$ большого диаметра (более 75 мм), по своим параметрам не уступающие дорогостоящим пластинам со структурой типа кремний на сапфире, получаемым с помощью гетероэпитаксии. При отжиге с помощью движущегося ленточного графитового нагревателя слой толщиной 0,4...1 мкм наносится на кремниевую пластину всюду, за исключением ее крайних участков, а слой поликремния толщиной 0,5 мкм — на всю поверхность. Пластина (рис. 10.12, а) помещается на неподвижный нагреватель 2, повышающий ее температуру до 1200 С.

Подвижный графитовый нагреватель 3 расположен на расстоянии около 1 мм от поверхности, имеет температуру свыше 1700 °С и перемещается от края пластины со скоростью примерно

2 мм/с. На краях слой поликремния 4 контактирует с монокристаллической пластиной 1 и после плавления и рекристаллизации превращается в монокристалл с той же ориентацией, что и пластина. По мере движения нагревателя происходит плавление слоев, расположенных над диоксидом. После прохода нагревателя они превращаются в монокристаллические, которые повторяют структуры крайних участков. Полученная пленка кремния по сравнению с пластиной имеет повышенную плотность дефектов, особенно на границе раздела с диоксидом, поэтому подвижность носителей в ней в 1,5...2 раза ниже, чем в монокристалле. По мере усовершенствования метода подвижность носителей будет повышаться. Принципиально отличающимся методом создания структур типа $Si-SiO_2-Si$ является метод ионного легирования исходной кремниевой пластины кислородом (рис. 10.12, б) с последующим прогреванием. В результате на малом расстоянии от поверхности (0,1 мкм) получается слой SiO_2 толщиной около 0,5 мкм (рис. 10.12, в). Тонкий приповерхностный слой сохраняет структуру монокристалла, поэтому, применяя эпитаксию, его толщину можно увеличить. Такой метод обеспечивает лучшее качество пленки, в том числе высокую подвижность носителей.

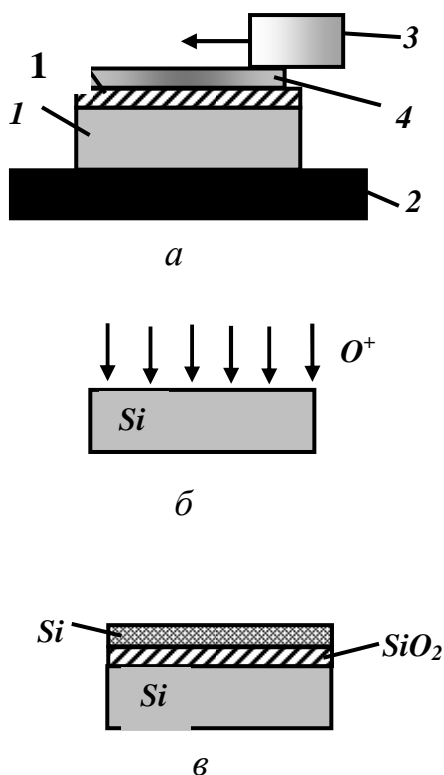


Рис. 10.12 — Получение структур $Si-SiO_2-Si$

10.8 Проводники соединений и контакты в полупроводниковых микросхемах

Элементы в микросхемах соединяются тонкопленочными проводниками. Предварительно в слое SiO_2 , покрывающем поверхность пластины, вытравливают контактные отверстия. Проводящую пленку наносят на всю поверхность, а затем ее травят через маску и формируют рисунок соединений. Материал пленки должен обеспечивать омический контакт с кремнием, иметь низкое удельное сопротивление, хорошую адгезию к кремнию и диоксиду, без разрушения выдерживать высокую плотность тока. Он должен быть механически прочным, не повреждаться при изменениях температуры (из-за разных ТКР пленки, пластины и слоя SiO_2), а также не подвергаться коррозии и не образовывать химических соединений с кремнием.

Металла, удовлетворяющего всем этим требованиям, не существует. Наиболее полно им отвечает алюминий, имеющий относительно невысокое удельное сопротивление. Он наносится термическим вакуумным испарением. При толщине 0,5...1 мкм сопротивление слоя равно 0,025...0,05 Ом/□. После создания рисунка соединений производится вжигание контактов при температуре 550 С в течение 5—10 мин. При этом имеет место реакция $Al+SiO_2 \rightarrow Al_2O_3+Si$, улучшающая адгезию пленки к слою SiO_2 . В местах контактных отверстий удаляются возможные остатки SiO_2 , и алюминий внедряется в кремний. Алюминий является акцептором, поэтому контакт к областям p -типа всегда омический. Для получения омического контакта к области n -типа концентрация доноров в ней должна быть выше, чем алюминия. При низкой концентрации доноров произойдет перекомпенсация поверхностного слоя акцепторами (Al), изменение его типа проводимости с n на p и образование p - n перехода. При формировании омического контакта к n -слою с низкой концентрацией доноров необходимо предварительно создать сильнолегированную контактную n^+ -область (рис. 10.13) с концентрацией доноров порядка 10^{20} см⁻³. В БИС (СБИС) недостаточно одного слоя соединений, так как не удается осуществить разводку проводников без пересечений. Поэтому создают два или три слоя проводников,

разделенных слоями диэлектрика (обычно SiO_2), получаемыми методом осаждения из газовой фазы. В слое SiO_2 делают отверстия для контактов между проводниками соседних слоев. Алюминий имеет ряд существенных недостатков, особенно как материал первого слоя. Например, в случае неглубоких $p-n$ переходов (0,5...1 мкм) диффузия алюминия в кремний при термообработке может приводить к их разрушению (замыканию). Высокая плотность тока вследствие малых толщины и ширины проводников вызывает эффект электромиграции—переноса атомов Al , нарушающего однородность пленки вплоть до разрывов.

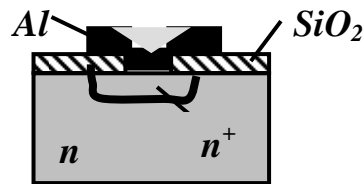


Рис. 10.13 — Вжигание контактов

В полупроводниковых микросхемах широко применяются диоды со структурой металл — полупроводник, при создании которых ставится обратная задача: получить выпрямляющий (но не инжектирующий) контакт. Он может быть образован только к слаболегированным областям при концентрациях примесей не более 10^{18} см^{-3} . Практически все применяемые металлы (в том числе и алюминий) образуют контакты с лучшими выпрямляющими свойствами к областям n -типа, чем к областям p -типа. При использовании алюминия температура должна быть невысокой (менее $300 \text{ }^\circ\text{C}$), в противном случае образуется $p-n$ переход при контакте с n -слоем или омический контакт при контакте с p -слоем.

10.9 Литография

Литография — это процесс формирования отверстий в масках, создаваемых на поверхности пластины, предназначенных для локального легирования, травления, окисления, напыления и других операций. Ведущую роль в технологии микросхем занимает

фотолитография. Она основывается на использовании светочувствительных полимерных материалов — фоторезистов, которые могут быть негативными и позитивными. Негативные фоторезисты под действием света полимеризуются и становятся нерастворимыми в специальных веществах — проявителях. После локальной засветки (экспонирования) растворяются и удаляются не засвеченные участки. Наибольшая чувствительность негативных фоторезистов соответствует длине волны света 0,28 мкм (ультрафиолет), поэтому экспонирование осуществляют с помощью кварцевой лампы. В позитивных фоторезистах свет разрушает полимерные цепочки: растворяются засвеченные участки. Максимальная чувствительность соответствует более длинным волнам (до 0,45 мкм). Позитивные фоторезисты обеспечивают более резкие границы растворенных (проявленных) участков, чем негативные, т. е. обладают повышенной разрешающей способностью, но имеют меньшую чувствительность и требуют большего времени экспонирования. Рисунок будущей маски задается фотошаблоном. Он представляет собой стеклянную пластину, на одной из сторон которой нанесена тонкая непрозрачная пленка (Cr , Cr_2O_3 , Fe_2O_3 и др.) требуемой конфигурации. В связи с групповыми методами создания микросхем на шаблоне имеется матрица одинаковых рисунков, соответствующих отдельным микросхемам в масштабе 1:1 (рис. 10.14).

Рассмотрим основные этапы процесса фотолитографии на примере получения маски SiO_2 . На окисленную поверхность кремниевой пластины наносят несколько капель раствора фоторезиста. С помощью центрифуги его распределяют тонким (около 1 мкм) слоем по поверхности пластины, а затем высушивают. На пластину накладывают фотошаблон (ФС) рисунком к фоторезисту (ФР) и экспонируют (рис. 10.15, а), затем его снимают. После проявления образца негативный фоторезист удаляется с незасвеченных участков (рис. 10.15, б), а позитивный — с засвеченных. Получается фоторезистивная маска, через которую далее травят слой SiO_2 , после чего фоторезист удаляют (рис. 10.15, в).

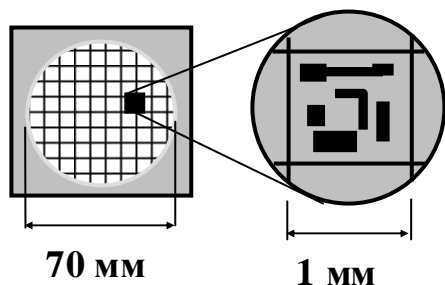


Рис. 10.14 — Матрица рисунков

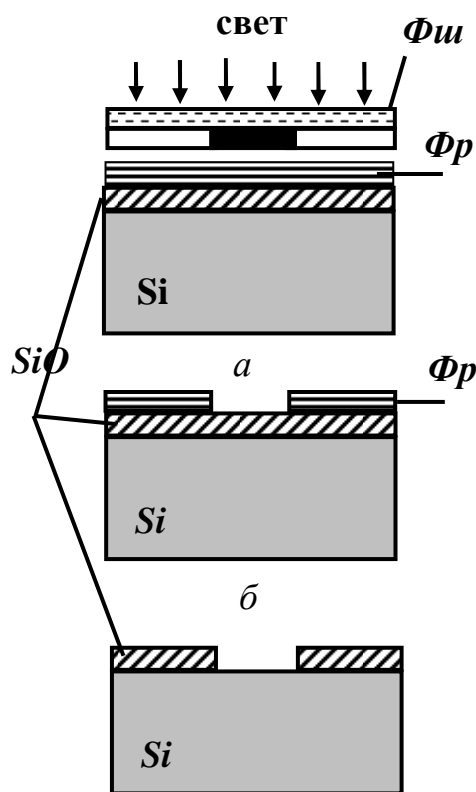


Рис. 10.15 — Изготовление резистивной маски

Фотошаблоны. При создании полупроводниковых микросхем фотолитография проводится многократно, для чего требуется комплект фотошаблонов. Каждый из них задает рисунок тех или иных слоев (например, базовых и эмиттерных областей транзисторов, контактных отверстий, проводников и т. д.). Созданию фотошаблонов предшествует топологическое проектирование микросхемы с помощью систем автоматизированного проектирования на основе электрической принципиальной схемы. Процесс изготовления фотошаблонов для микросхем с малой и средней степенями интеграции начинается с вычерчивания фото оригиналов. Послойный топологический чертеж одной микросхемы выполняется в увеличенном масштабе (например, 500:1) с большой точностью с помощью специальных устройств — координатографов, работающих в автоматическом режиме в соответствии с управляющей программой, задаваемой компьютером. Чертеж вырезается в непрозрачной пленке, нанесенной на прозрачную подложку (стекло, пластик). Размер фотооригинала достигает до 1 м при точности вычерчивания линий ± 25 мкм. Оригинал

фотографируют с редуцированием (уменьшением) в 20...50 раз, получая промежуточный фотошаблон. Последний, в свою очередь, фотографируют с уменьшением, осуществляя мультипликацию (размножение) рисунков и получая эталонный фотошаблон с матрицей одинаковых рисунков в масштабе 1:1. Мультипликация производится в фотоповторителях (фотоштампах), где в промежутках между экспонированием каждого участка перемещают пластину эталонного фотошаблона с шагом, соответствующим размеру кристалла микросхемы. Существуют также многопозиционные фотоштампы с многолинзовыми объективами, дающие одновременно большое число изображений, что ускоряет процесс. С эталонного шаблона методом контактной печати изготавливают рабочие шаблоны, которые и используют в процессе фотолитографии.

При наложении шаблона на полупроводниковые пластины его поверхность повреждается, и шаблон изнашивается. После 50...100 наложений рабочий шаблон заменяется новым. Описанный процесс получения фотошаблонов — многоступенчатый. На каждой ступени происходит накопление дефектов в рисунке. Поэтому при производстве БИС и СБИС, характеризующихся очень малыми размерами элементов рисунка и высокой требуемой точностью его воспроизведения, число ступеней процесса изготовления фотошаблонов должно быть минимальным. Для этого оригинал выполняется с небольшим масштабом увеличения (обычно 10:1), размеры элементов рисунка на нем составляют десятки и даже единицы микрометров. Используются прецизионные оптико-механические установки — генераторы изображения, в основе работы которых лежит принцип фотонабора.

Топологическая структура рисунка разделяется на элементарные прямоугольники с различными отношениями сторон и определенной ориентацией по углу. По заданной программе очередной элемент формируется подвижными шторками диафрагмы и разворачивается на требуемый угол, а двухкоординатный стол со светочувствительной пластиной устанавливается в положение, соответствующее координатам элемента; производится экспонирование. Затем с помощью фотоповторителя изготавливается эталонный фотошаблон, с которого снимаются рабочие копии. Дальнейшее сокращение числа ступеней создания фотошаблонов (до одной) и повышение точности воспроизведения рисунка достигается при

проекционной фотолитографии с пошаговым экспонированием. Фотошаблон (который является и оригиналом) изготавливается на генераторе изображений. Последующее уменьшение и мультипликация изображения осуществляются на полупроводниковых пластинах, покрытых фоторезистом. Таким образом, фотоповторитель применяется непосредственно в процессе фотолитографии. К недостаткам такого процесса относится невысокая производительность.

Разрешающая способность. Важнейшим параметром фотолитографии является разрешающая способность. Ее оценивают максимальным числом линий — раздельно воспроизводимых параллельных полосковых отверстий в маске в пределах 1 мм: $R = 1000 / (2\Delta)$, где Δ — минимальная ширина линии, мкм.

Наилучшую разрешающую способность обеспечивает проекционная фотолитография с шаговым экспонированием ($\Delta = 1$ мкм при $\lambda = 1$ мкм). В безлинзовых системах, где проецирование и фокусировка осуществляются с помощью вогнутых зеркал, применяется экспонирование в ультрафиолетовом свете и достигается разрешающая способность 0,5 мкм. При многократной фотолитографии существенна точность совмещения фотошаблона с пластиной. При первой фотолитографии фотошаблон 1 (рис. 10.16) необходимо ориентировать относительно пластин 2 так, чтобы границы ячеек, соответствующие одной микросхеме, были перпендикулярны или параллельны базовому срезу 3 пластины. В дальнейшем это облегчает разламывание пластины на кристаллы. При последующих фотолитографиях, когда пластина уже содержит некоторые слои, необходимо точно ориентировать рисунок фотошаблона относительно рисунка на пластине.

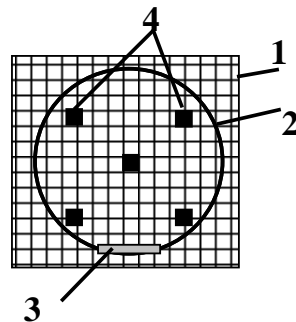


Рис. 10.16 — Ориентация шаблона относительно пластины

Перспективные методы литографии. Литография с разрешающей способностью $\Delta \ll 1$ мкм (субмикронная), необходимая для СБИС, основывается на применении излучений с меньшей длиной волны. Рентгеновская литография использует мягкое рентгеновское излучение с длиной волны около 1 нм. Так как фокусирующих систем для него не существует, то литография является контактной. Шаблон представляет собой тонкую (около 5 мкм) мембрану, прозрачную для рентгеновских лучей, на которую нанесен тонкопленочный непрозрачный рисунок, выполненный в масштабе 1:1. Для изготовления шаблона применяется электронно-лучевая литография (см. ниже). Пластины покрывают слоем резиста, чувствительного к рентгеновскому излучению. Во избежание повреждения поверхностей пластины и шаблона при экспонировании между ними оставляют зазор толщиной около 10 мкм.

Наиболее простой способ получения рентгеновского излучения — бомбардировка металлического (например, алюминиевого) анода 1 (рис. 10.16) пучком электронов 2 с энергиями 10...20 кэВ, создаваемым электронной пушкой 3. Вакуумная камера 4 имеет бериллиевое окно 5, прозрачное для излучения. Шаблон 6 и пластина 7 помещаются вне камеры. Из-за малой длины волны дифракция практически не ограничивает разрешающую способность. Она определяется непараллельностью (расходимостью) лучей, вследствие чего размер и положение засвеченной области в слое резиста не вполне соответствуют отверстию в маске.

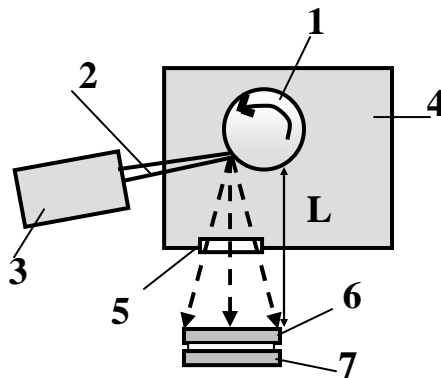


Рис. 10.17 — Рентгеновская литография

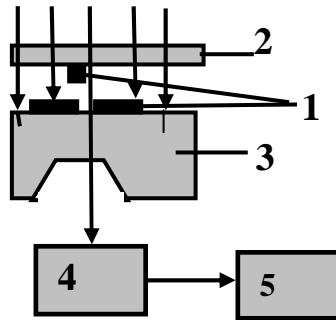


Рис. 10.18 — Знаки 1 для совмещения шаблона и пластины

Разрешающая способность повышается при удалении источника от пластин, но одновременно уменьшается интенсивность излучения у их поверхности и возрастает время экспонирования. Поэтому для достижения достаточно малого времени экспонирования (например, около часа) необходима большая мощность электронного пучка (десятки киловатт при L порядка 1 м). Во избежание расплавления анод вращают (что создает вибрации, ухудшающие разрешающую способность) и применяют водяное охлаждение. Таким способом получают $\Delta \approx 0,1$ мкм, хотя принципиально эта величина может быть значительно меньше.

При установке на подложку (или в корпус в случае полупроводниковых микросхем) совмещают выводы ленточного носителя с контактными площадками подложек (выводами корпуса), приклеивают или припаивают кристалл и осуществляют групповую термокомпрессию. Таким образом, достигается высокая производительность при малом проценте брака и устранении недостатков, присущих другим методам монтажа, описанным выше. Контактные площадки подложек гибридных микросхем соединяются с выводами корпуса проволочными проводниками. Для тонкопленочных микросхем эти соединения выполняются термокомпрессией (так же, как для полупроводниковых микросхем), а для толстопленочных — пайкой.

Вопросы для самопроверки

1. Назначение эпитаксиальной пленки.
2. Газовая эпитаксия, её достоинства и недостатки.

3. Молекулярно-лучевая эпитаксия. В чем её отличие от газовой эпитаксии?
4. Технологическая операция — диффузия примесей.
5. Объясните понятие «предельная растворимость».
6. Назначение операций загонка и разгонка примесей.
7. Операция — ионное легирование.
8. Технологическая операция — термическое окисление.
9. Назначение и свойства пленки диоксида кремния.
10. Как осуществляется жидкостное травление?
11. Сухое травление, его достоинства перед жидкостным травлением.
12. Назначение структур $Si-SiO_2-Si$ и методы их получения.
13. Проводники соединений и контакты к элементам.
14. Литография и технология изготовления фотошаблонов.
15. Перспективные методы литографии.

11 ТРАНЗИСТОРЫ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Устройство, принцип действия, электрические характеристики и параметры дискретных биполярных транзисторов рассмотрены раньше. Биполярные транзисторы микросхем подразделяются на бескорпусные транзисторы (компоненты) гибридных микросхем и интегрированные в общей подложке транзисторы полупроводниковых микросхем.

Полупроводниковые структуры бескорпусных транзисторов аналогичны структурам транзисторов того же назначения, заключенным в корпус. Структуры транзисторов полупроводниковых микросхем имеют существенные отличия. Они рассмотрены в данной главе. По технологическим и ряду других причин, связанных с электрофизическими параметрами полупроводниковых материалов, в микросхемах используют только кремниевые биполярные транзисторы. Наиболее широко применяют *n-p-n* транзисторы, так как вследствие большей подвижности электронов в базе они имеют лучшие электрические параметры — более высокие граничные частоты и быстродействие.

11.1 Особенности структур биполярных транзисторов

Главные различия структур биполярных транзисторов полупроводниковых микросхем и дискретных транзисторов заключаются в том, что первые содержат дополнительные области, изолирующие их от общей полупроводниковой подложки, и все выводы от областей транзистора располагаются в одной плоскости на поверхности подложки. Такая структура называется планарной. Она позволяет соединять транзисторы между собой и с другими элементами микросхемы пленочными металлическими проводниками, формируемыми на той же поверхности (см. рис. 11.1).

Кроме того, к структурам биполярных транзисторов, как и других элементов микросхем, предъявляется специфическое требование — площадь, занимаемая ими на полупроводниковой подложке, должна быть минимально возможной для повышения плотности упаковки элементов и степени интеграции. Конструкция и технология изготовления транзисторов должна обеспечивать

возможность одновременного создания и других элементов (диодов, резисторов, конденсаторов и т. д.) на основе аналогичных полупроводниковых слоев, используемых при формировании эмиттерной, базовой и коллекторной областей транзистора. В этом состоит важное требование конструктивно-технологической совместимости элементов полупроводниковых микросхем.

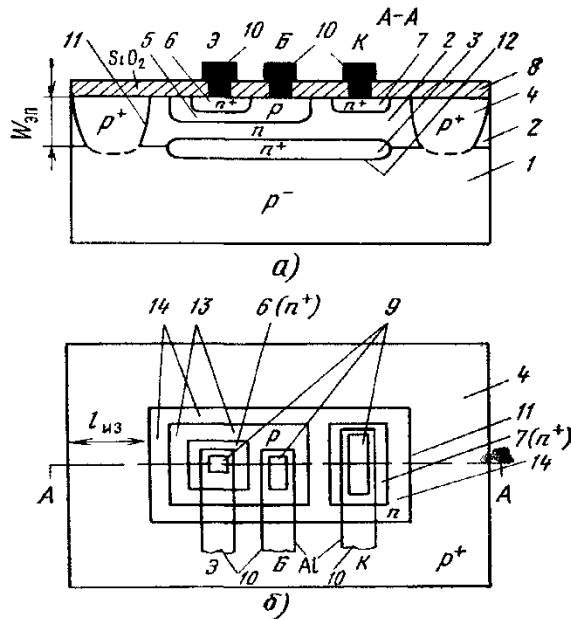


Рис. 11.1 — Биполярный интегральный транзистор

Конструкции биполярных транзисторов различаются, прежде всего, способами их изоляции. В первых микросхемах наибольшее распространение получили эпитаксиально планарные транзисторы с изоляцией p - n переходами. Структура эпитаксиально-планарного транзистора показана на рис. 11.1, а. Транзистор выполнен на высокоомной подложке 1 p^- -типа с удельным сопротивлением 5...10 Ом·см и толщиной 200...300 мкм в эпитаксиальном слое 2 n -типа (удельное сопротивление 0,5...1 Ом·см, толщина $W_{ЭП}$ — 8...15 мкм). Локальной диффузией донорных примесей (мышьяка или сурьмы), имеющих малый коэффициент диффузии по сравнению с бором и фосфором, в подложке перед наращиванием эпитаксиального слоя 2 создают скрытый слой 3 n^+ -типа с низким удельным сопротивлением. Хотя первоначально скрытый слой формируют в подложке, при дальнейших высокотемпературных

операциях (эпитаксии, окислении, диффузии примесей) он расширяется в сторону как подложки, так и эпитаксиального слоя. Чтобы исключить чрезмерное распространение доноров из скрытого слоя в эпитаксиальный, применяют донорные примеси с малым коэффициентом диффузии. Диффузией бора через маску из диоксида кремния на глубину, превышающую толщину эпитаксиального слоя, формируют изолирующую область 4 p^+ -типа, окружающую с боковых сторон (рис. 11.1, б — вид сверху) коллекторную область 2 n -типа. Базовую область 5 p -типа получают следующей локальной диффузией бора на глубину 2...3 мкм (это глубина залегания металлургической границы коллекторного перехода). Удельное поверхностное сопротивление базового слоя 5 (до проведения эмиттерной диффузии) 100...200 Ом.

На рис. 11.1, б граница базы одновременно является границей коллекторного p - n перехода и определяет его площадь. Последняя локальная диффузия используется для формирования эмиттерной области 6 n^+ -типа и коллекторной контактной области 7. Донорной примесью в этом случае обычно служит фосфор, обладающий повышенным коэффициентом диффузии и повышенной растворимостью в кремнии. Глубина залегания эмиттерного перехода 1,5—2 мкм, удельное поверхностное сопротивление эмиттерного слоя 2...3 Ом/□. В пленке диоксида кремния 8 (толщина 0,5...1 мкм), покрывающей поверхность кристалла, создают контактные отверстия 9, через которые напылением пленки алюминия формируют контакты к эмиттеру, базе, коллектору и подложке. Одновременно создают внутрисхемные проводники 10, соединяющие элементы микросхемы. Коллекторная контактная область 7 с высокой концентрацией доноров необходима потому, что при напылении пленки алюминия на слаболегированный слой 2 n -типа получается не низкоомный омический, а выпрямляющий контакт, что недопустимо. В эпитаксиально-планарном транзисторе боковые поверхности 11 изолирующего p - n перехода являются границей коллекторной области 2 n -типа и изолирующей области 4 p^+ -типа, а нижняя поверхность 12 — границей области 2 и скрытого слоя 3 с подложкой. К подложке в периферийной части кристалла микросхемы создают омический контакт (на рисунке не показан). При использовании микросхемы

на этот контакт подают напряжение, при котором изолирующий переход всегда смещен в обратном направлении. Поскольку обратный ток изолирующего перехода мал, обеспечивается удовлетворительная изоляция транзистора от подложки и других элементов кристалла микросхемы. Области, окруженные со всех сторон изолирующим переходом, называют карманами. В них размещают не только биполярные транзисторы, но и другие элементы микросхемы.

Обычно в каждом кармане формируют один элемент, но в некоторых случаях размещают несколько, например, биполярных транзисторов, у которых согласно принципиальной электрической схеме соединены коллекторы. Основное достоинство метода изоляции p - n переходом — простота технологии формирования изолирующих областей p^+ -типа. Для их создания применяют такие же технологические процессы (фотолитографию, диффузию примесей), что и для получения основных областей транзистора. Однако изоляция p - n переходом не является совершенной, обратный ток этого перехода резко увеличивается при повышении температуры и под воздействием ионизирующих облучений. Изолирующий переход вносит барьерную емкость, которая снижает граничную частоту аналоговых микросхем и увеличивает задержку переключения импульсных схем.

Кроме того, изолирующие области p^+ -типа (рис. 11.1, б) занимают значительную площадь кристалла (по сравнению с площадью основных областей транзистора), так как их ширина должна быть больше удвоенной толщины эпитаксиального слоя. Это условие связано с изотропностью процесса диффузии, примеси диффундируют не только в глубь эпитаксиального слоя, но и в боковом направлении — под маску. Отметим также, что в структуре эпитаксиально-планарного транзистора большую часть площади занимают «лишние» с точки зрения его работы пассивные области базы 13 и коллектора 14, не занятые контактами (см. рис. 11.1, б). По этим причинам на основе эпитаксиально-планарных транзисторов были разработаны и выпускаются промышленностью только микросхемы малой и средней степеней интеграции. Важной конструктивной особенностью эпитаксиально-планарных транзисторов является скрытый слой 3 n^+ -типа

(см. рис. 11.1, а), предназначенный главным образом для уменьшения объемного сопротивления коллекторной области r_k^1 и напряжения насыщения $U_{KЭнас} - r_k^1 I_k$. Низкоомный скрытый слой шунтирует расположенный над ним более высокоомный коллекторный слой n -типа и в десятки раз уменьшает объемное сопротивление коллекторной области между коллекторным переходом и коллекторной контактной областью 7.

Выходные характеристики в схеме с общим эмиттером (ОЭ) в диапазоне малых напряжений $U_{KЭ}$ для транзисторов без скрытого слоя (1) и со скрытым слоем (2) приведены на рис. 11.2. Видно, что скрытый слой влияет на форму выходной характеристики только в режиме насыщения (РН), где дифференциальное сопротивление коллекторного перехода, смещенного в прямом направлении, невелико. Напряжение насыщения при заданном коллекторном токе насыщения $I_{K.НАС}$ изменяется пропорционально объемному сопротивлению коллекторной области.

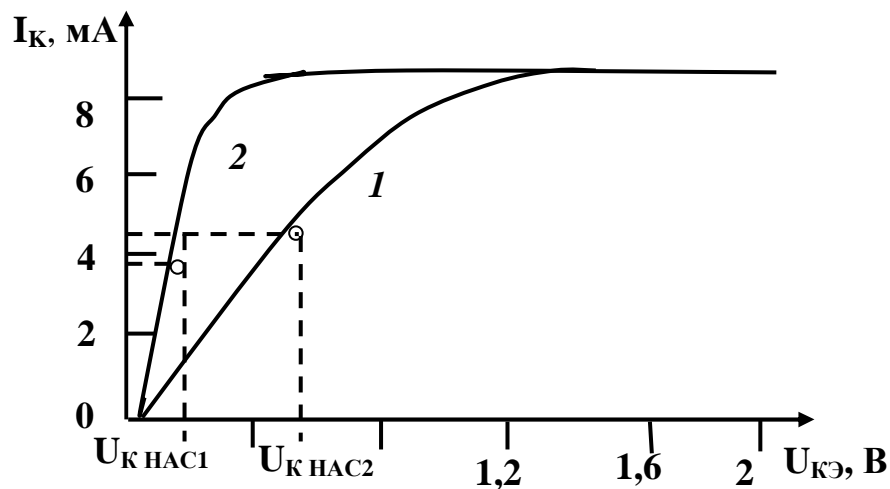


Рис. 11.2 — Выходная характеристика интегрального биполярного транзистора при наличии эпитаксиального слоя 2 и без него 1

В режиме насыщения или в инверсном режиме электрический переход n^+ на границе скрытого слоя отражает дырки, инжектируемые из базы в коллектор. Поэтому при прямом смещении коллекторного перехода в структуре со скрытым слоем

дырочная составляющая тока этого перехода ниже, чем в структуре без скрытого слоя.

В структуре транзистора, изолированного $p-n$ переходом, помимо основного $n-p-n$, существует паразитный $p-n-p$ транзистор. Его эмиттер — базовый слой 5 (13) основного транзистора (см. рис. 11.1), база — коллекторная область 2 со скрытым слоем 3, коллектор — подложка.

Схема включения паразитного транзистора представлена на рис. 11.3. Его коллекторный (изолирующий) переход всегда смещен в обратном направлении. Скрытый слой в коллекторе создает тормозящее электрическое поле для дырок, инжектированных в коллектор из базы.

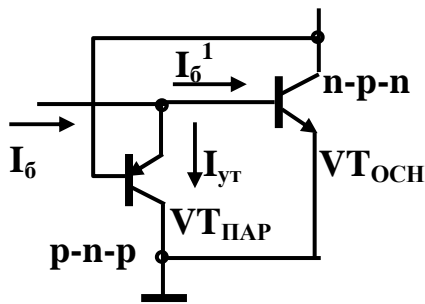


Рис. 11.3 — Схема включения основного и паразитного транзисторов

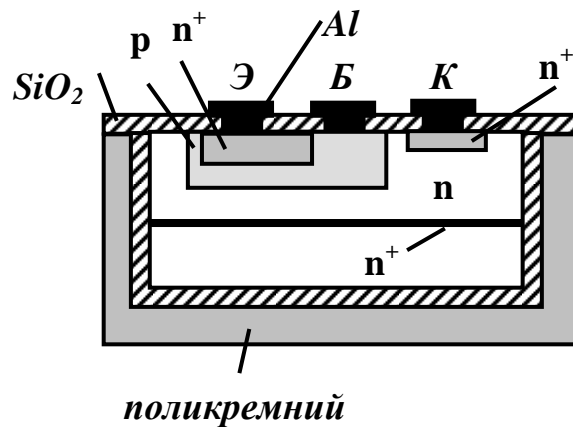


Рис. 11.4 — Изоляция с помощью диоксида кремния

Кроме того, время жизни дырок в скрытом слое мало, поэтому уменьшается коэффициент передачи паразитного транзистора, т. е. ток утечки.

Биполярные транзисторы являются наиболее сложными элементами биполярных микросхем, так как их структура содержит наибольшее число областей с различным типом проводимости. Другие элементы (диоды, резисторы) создаются одновременно с транзисторами в едином технологическом процессе. Поэтому для них используют аналогичные полупроводниковые области, которые принято называть в соответствии с областями транзистора. Так, на основе базового слоя получают резисторы.

Эти элементы также размещают в специальных карманах, т. е. изолируют от подложки тем же способом, что и транзисторы.

Наряду с биполярными транзисторами, изолированными $p-n$ переходом, применяют биполярные транзисторы с диэлектрической изоляцией. Основные отличия структуры такого транзистора, которая приведена на рис. 11.4, от рассмотренной на рис. 11.1 состоит в том, что транзистор размещают в кармане. Карман изолирован со всех сторон от подложки из поликристаллического кремния тонким диэлектрическим слоем диоксида кремния. Качество такой изоляции значительно выше, так как токи утечки в диэлектрике намного меньше, чем в $p-n$ переходе, смещенном в обратном направлении. Удельная емкость диэлектрической изоляции меньше, поскольку диэлектрическая проницаемость диоксида кремния приблизительно в 3 раза ниже, чем кремния, а толщина диэлектрического слоя может быть выбрана больше толщины изолирующего $p-n$ перехода. Однако биполярные микросхемы с диэлектрической изоляцией не получили широкого применения вследствие сложной технологии создания карманов и малой степени интеграции. Их достоинством является повышенная радиационная стойкость. У эпитаксиально-планарных транзисторов токи утечки изолирующих $p-n$ переходов резко возрастают при воздействии ионизирующего излучения, вызывающего генерацию большого числа неосновных носителей. Ток утечки диэлектрика при этом остается пренебрежимо малым. Уменьшаются и токи утечки коллекторных $p-n$ переходов, так как основная масса неосновных носителей генерируется за пределами карманов и не может достичь этих переходов.

11.2 Транзисторы с комбинированной изоляцией

Основным методом изоляции элементов современных биполярных микросхем является метод комбинированной изоляции, сочетающий изоляцию диэлектриком (диоксидом кремния) и $p-n$ переходом, смещенным в обратном направлении. Существует большое число конструктивно-технологических разновидностей биполярных микросхем с комбинированной изоляцией. Широкое распространение получили микросхемы, создаваемые по изопланарной

технологии. Последовательность основных технологических операций, используемых в изопланарной технологии, и структуру изопланарного транзистора поясняет рис. 11.5.

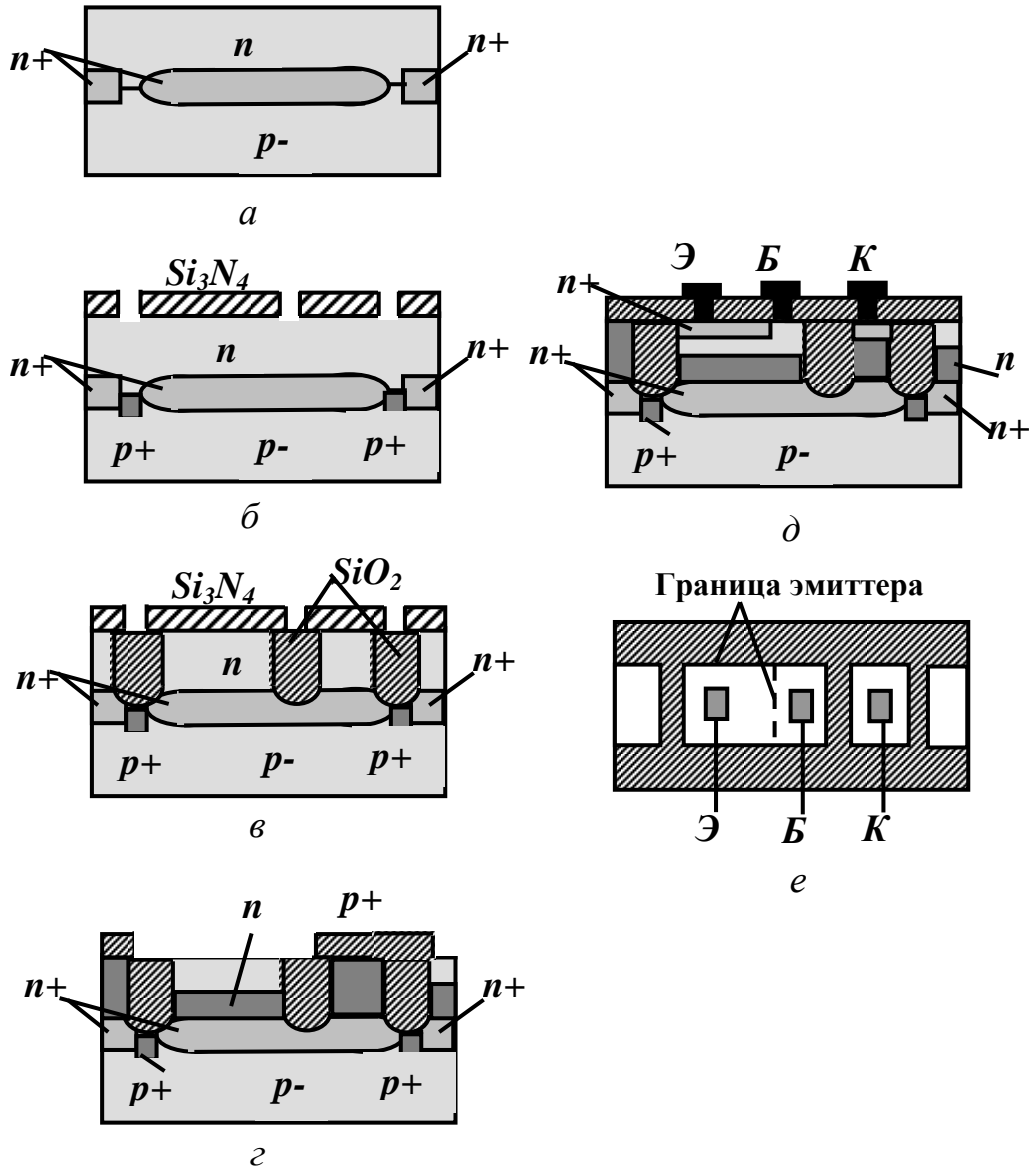


Рис. 11.5 — Комбинированная технология изоляции

В высокоомной подложке p^- -типа локальной диффузией доноров формируют скрытый n^+ -слой. Затем на всей поверхности пластины наращивают тонкий ($W_{ЭП} = 1...3$ мкм) эпитаксиальный слой n -типа (рис. 11.5, а). На полученную поверхность наносят слой нитрида кремния, из которого с помощью литографии формируют защитную маску. Не закрытые маской области эпитаксиального слоя подвергают травлению на глубину приблизительно

$0,5W_{ЭП}$. Локальным ионным легированием бором через маску создают противоканальные области p^+ -типа, расположенные под вытравленными участками в подложке между скрытыми слоями n^+ -типа соседних транзисторов (рис. 11.5, б). Назначение этих областей поясняется ниже. Далее проводят селективное окисление кремния в вытравленных участках, где он не закрыт защитной маской, так что нижняя граница окисленных областей попадает в скрытый n^+ -слой. Слой диоксида кремния растет как вниз, так и вверх. Поэтому после окисления (при соответствующем выборе глубины травления) восстанавливается почти плоская поверхность пластины (рис. 11.5, в). В результате образуются карманы, в каждом из которых размещена структура $n-n^+$ -типа, изолированная с боковых сторон толстым слоем диоксида кремния, а снизу — n^+-p^- переходом.

После этого пленку нитрида кремния удаляют и формируют маску из слоя диоксида кремния, закрывающую те участки, в которых будут создаваться коллекторные контактные области (рис. 11.5, г). Диффузией бора (или ионным легированием) получают базовый слой p -типа. При этом, независимо от точности совмещения маски, боковые границы базового слоя совмещаются с границами изолирующего диоксида кремния, так как он сам также служит маской. Таким методом получают самосовмещенную базу.

Различные методы самосовмещения, широко применяемые в производстве современных микросхем, заключаются в использовании элементов структуры, созданных на предыдущих этапах изготовления микросхем, в качестве маски при последующем формировании каких-либо областей. Затем восстанавливают слой диоксида кремния на всей поверхности и создают из него маску, используемую при диффузии (или ионном легировании) фосфора в эмиттерную и контактную области n^+ -типа. На этом этапе применяют метод самосовмещения в плоскости кристалла — три границы эмиттерной области (за исключением четвертой, обращенной к базовому контакту) и все границы коллекторной контактной области определяются изолирующим диоксидом, используемым вторично в качестве маски. Вновь восстанавливают пленку диоксида

кремния на всей поверхности пластины, вытравливают в ней контактные отверстия, напыляют слой алюминия, проводят его селективное травление и создают эмиттерный, базовый и коллекторный электроды и внутрисхемные соединения (рис. 11.5, *д, е*).

Главное достоинство изопланарного транзистора по сравнению с эпитаксиально-планарным (см. рис. 11.1) состоит в том, что при одинаковой площади эмиттерных переходов общая площадь изопланарного транзистора (с учетом площади изолирующих областей) меньше почти на порядок. Поэтому на основе изопланарных транзисторов можно создавать БИС и СБИС. Столь значительное снижение площади достигается в результате использования более тонкого эпитаксиального слоя, что приводит к уменьшению площади изолирующих областей. Кроме того, в конструкции изопланарного транзистора исключены пассивные области базы и коллектора, не используемые под контакты, так как все боковые стенки базовой и три боковые стенки эмиттерной области непосредственно граничат с изолирующим диоксидом кремния транзисторов, что недопустимо.

11.3 Многоэмиттерные транзисторы

Многоэмиттерные *n-p-n* транзисторы (МЭТ) отличаются от рассмотренных выше одноэмиттерных прежде всего тем, что в их базовой области *p*-типа создают несколько (обычно 4...8) эмиттерных областей *n*⁺-типа. Эти транзисторы используют в микросхемах вместе с одноэмиттерными. Поэтому МЭТ изготавливают с помощью тех же технологических процессов, что и одноэмиттерные, а структура МЭТ содержит те же полупроводниковые слои и изолирующие области. Основная область применения многоэмиттерных транзисторов — цифровые микросхемы транзисторно-транзисторной логики (ТТЛ). В этих микросхемах они включаются на входе и выполняют логическую функцию диодной сборки (рис. 8.7).

Многоэмиттерный транзистор можно представить в виде совокупности отдельных *n-p-n* транзисторов, число которых равно числу эмиттеров (рис. 11.6, *б*). Все базовые выводы этих транзисторов, как и коллекторные, соединены между собой.

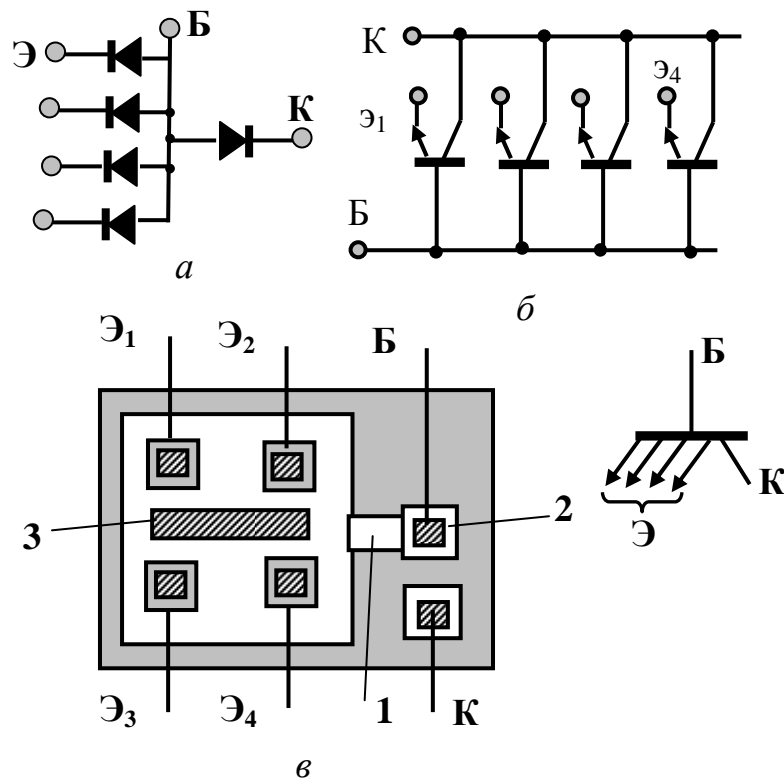


Рис. 11.6 — Многоэмиттерный транзистор

11.4 Транзисторы с диодом Шоттки

Структура транзистора с диодом Шоттки (ДШ), изготовленного по изопланарной технологии, показана на рис. 11.7, *а*. В отличие от изопланарного транзистора (см. рис. 11.5, *д*) здесь базовое контактное отверстие расширено в сторону коллекторной области n -типа. Для этого потребовалось исключить центральную область из диоксида кремния. Слой алюминия, расположенный на базовом слое p -типа, образует с ним омический контакт, как и в изопланарном транзисторе. Слой алюминия с подслоем другого металла на границе 1 с относительно высокоомной коллекторной областью обеспечивает выпрямляющий контакт — диод Шоттки. Назначение остальных областей транзистора с ДШ такое же, как в обычном изопланарном транзисторе. Диод Шоттки оказывается включенным параллельно коллекторному переходу транзистора, как показано на эквивалентной схеме (рис. 11.7, *б*). Как известно, прямой ток через ДШ обусловлен движением основных носителей заряда, а инжекция и накопление неосновных носителей заряда, характерные для p - n перехода, здесь практически

отсутствуют. На рис. 11.7, в представлены прямые ветви вольт-амперных характеристик (ВАХ) ДШ (1) и коллекторного p - n перехода обычного изопланарного транзистора (2) при $T = 300$ К. Прямое напряжение при токе $I_{ДШ} = 2$ мА для ДШ на $\Delta U \approx 360$ мВ ниже, чем для коллекторного p - n перехода. Указанные свойства ДШ используются для существенного уменьшения времени расасывания $t_{рас}$ — одного из основных параметров, характеризующих работу биполярного транзистора в импульсном режиме.

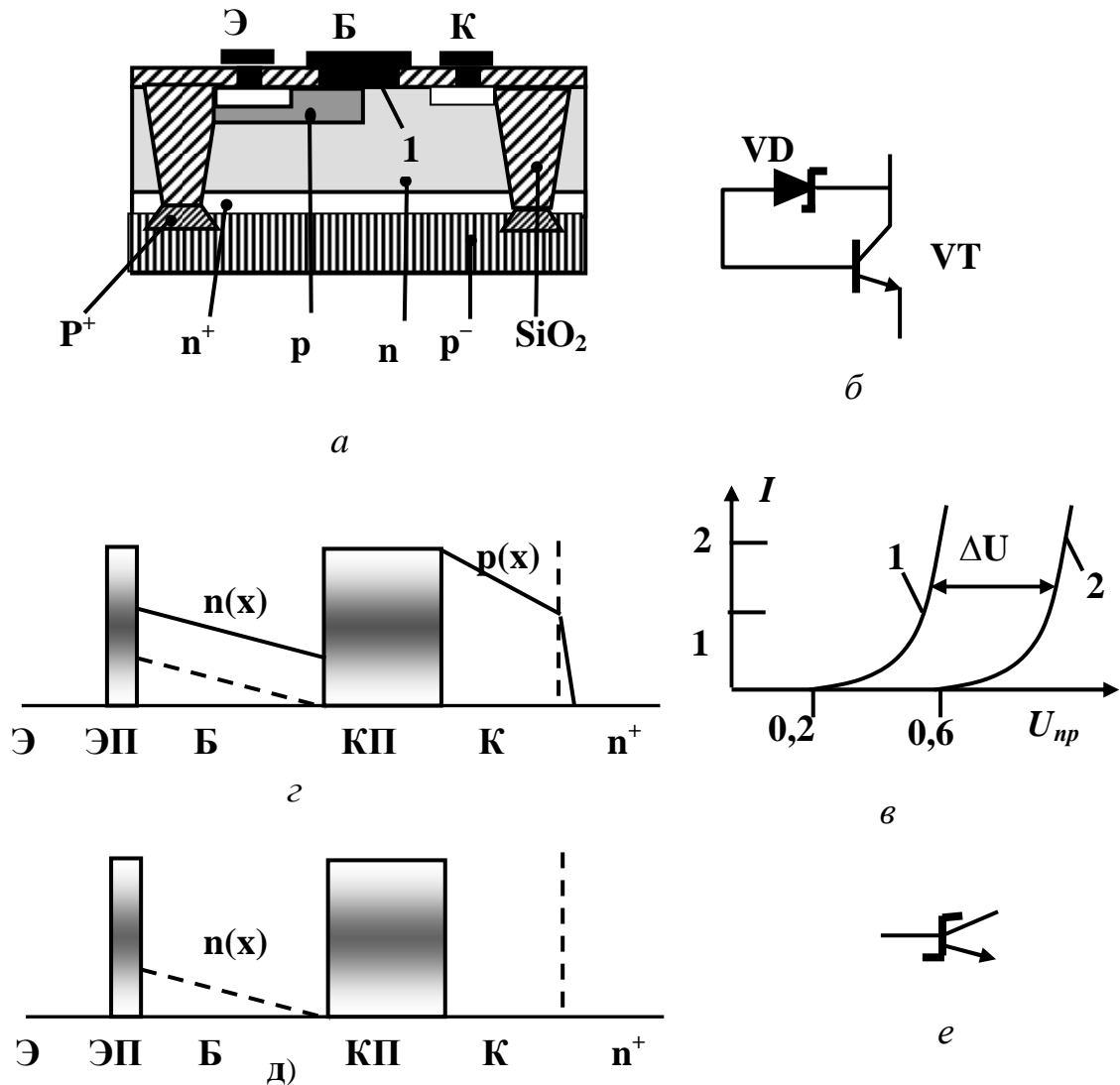


Рис. 11.7 — Биполярный транзистор с диодом Шоттки

11.5 Диодное включение транзистора

В биполярных микросхемах в качестве диодов широко используют транзисторы в диодном включении. Диоды с различными

электрическими параметрами можно получить на основе одинаковых транзисторных структур, выбирая соответствующую схему включения.

На рис. 11.8 приведены пять возможных схем включения. К основным электрическим параметрам таких диодов относятся прямое напряжение на диоде при заданном прямом токе, обратный ток при заданном обратном напряжении, напряжение пробоя и время восстановления обратного сопротивления. Рассмотрим, как зависят эти параметры от схемы включения транзистора.

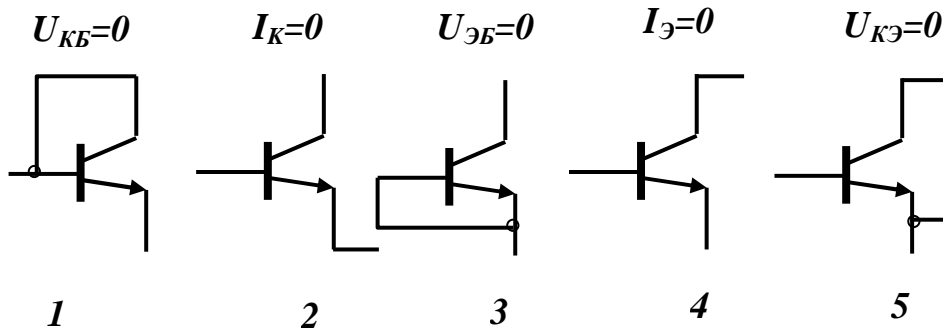


Рис. 11.8 — Схемы включения транзисторов в диодном режиме

Прямое напряжение на диоде

$$U_{ПР} = \varphi_T \ln\left(\frac{I_{ПР}}{I_0} + 1\right) + I_{ПР}r_B = U_{ПЕР} + U_r, \quad (11.1)$$

где $I_{пр}$ — прямой ток; I_0 — обратный ток, r_B — объемное сопротивление базы. Здесь первое слагаемое определяет падение напряжения на $p-n$ переходе, а второе — на базовой области. Сопротивление r_B^1 также зависит от схемы включения: это может быть либо сопротивление базы, либо сопротивление коллектора, либо их сумма. Сопротивление эмиттерной области пренебрежимо мало из-за высокой концентрации примесей в ней. При малых прямых токах второе слагаемое можно не учитывать. В области малых токов прямые ветви ВАХ удобнее сравнивать по величине $I_{пр}$ при одинаковом для всех схем прямом напряжении. Для определения значения прямого тока нужно выяснить, через какой $p-n$ переход (или переходы) он протекает и из каких составляющих складывается. Воспользуемся моделью дискретного транзистора,

приведенной на рис. 11.9, на которой указаны токи эмиттерного и коллекторного переходов и внешние токи эмиттера, базы, коллектора. Здесь α_N — нормальный, α_i — инверсный коэффициенты передачи тока, резисторы r_B^1 и r_K^1 учитывают сопротивления базы и коллектора. Как видно из рис. 11.9, через каждый $p-n$ переход транзистора может протекать ток инжекции носителей, обусловленный прямым смещением перехода (токи I_1 и I_2), и встречный ток, связанный с коллектированием этим переходом носителей, инжектированных через соседний $p-n$ переход (токи $\alpha_N I_1, \alpha_i I_2$).

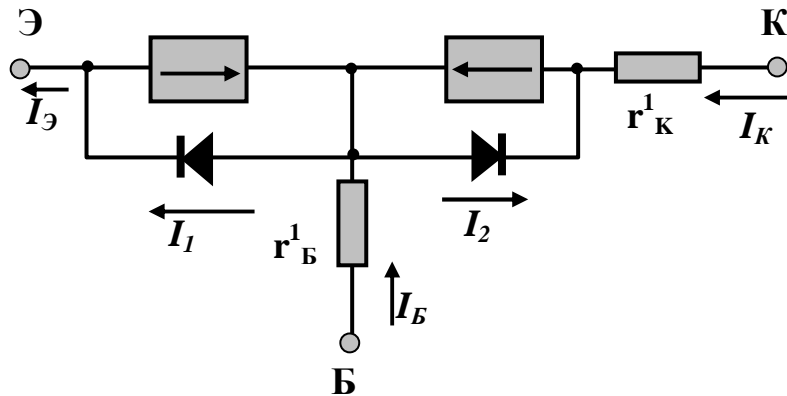


Рис. 11.9 — Эквивалентная схема биполярного транзистора

В процессе анализа различных схем включения транзисторов в диодном включении необходимо выяснить, какая из приведённых схем имеет лучшие эксплуатационные характеристики и параметры.

Важными параметрами являются: обратный ток перехода, пробивное напряжение, мощность, рассеиваемая на транзисторе.

Основные положения, которые будем учитывать при анализе:

1. При производстве интегральных схем основным полупроводниковым материалом является кремний Si , а, следовательно, обратные токи обусловлены в основном токами термогенерации, т. е. процессами генерации носителей в переходе.

2. Элементы интегральных схем в подавляющем большинстве работают при токе десятки микроампер, т. е. в режиме малых токов, следовательно, и анализ будем вести для этого режима.

3. Учитывая п. 2, вторым слагаемым в формуле (11.1) можно пренебречь и учитывать падение напряжения на переходе.

4. Коллекторный переход транзистора, как правило, работает при более высоких обратных напряжениях по сравнению с эмиттерным переходом. Это достигается меньшей степенью легирования коллектора, чем эмиттера, а, следовательно, коллекторный переход занимает большую площадь. Учитывая п. 1, можно сделать вывод, что обратный ток эмиттера много меньше обратного тока коллектора, $I_{K0} \gg I_{Э0}$.

5. При анализе будем считать, что прямые токи при всех схемах включения должны быть одинаковыми.

6. Считаем, что ток через транзистор (диодное включение) задаётся от генератора тока, т. е. определяется внешними элементами.

Анализ схем включения показывает, что в схемах 3 и 4 работают коллекторные переходы. Обратные токи равны I_{K0} , напряжение пробоя $U_{КПРОБ.}$. Учитывая, что переход довольно широкий, механизм пробоя носит лавинный характер, а, следовательно, напряжение пробоя достаточно велико.

Падение напряжения при прямом смещении на переходе для обеих схем одинаковое и равно:

$$U_{КБ.3,4} = \Phi_T \ln \frac{I_{ПП} + I_{K0}}{I_{K0}}. \quad (11.2)$$

В схемах 1 и 2 работают эмиттерные переходы. Учитывая, что эмиттерный переход довольно узкий, из-за высокой степени легирования эмиттерной области механизм пробоя обусловлен туннельным эффектом, следовательно $U_{ЭПРОБ.} \ll U_{КПРОБ.}$. Обратные токи в схемах 1 и 2 меньше, чем в 3 и 4.

Падение напряжения на переходах, смещенных в прямом направлении, равны:

$$U_{ЭБ.1,2} = \Phi_T \ln \frac{I_{np} + I_{Э0}}{I_{Э0}}. \quad (11.3)$$

Сравнивая формулы (11.2) и (11.3), видим, что в схемах 1 и 2 падение напряжения при прямом смещении на переходе выше, чем в 3 и 4, а следовательно, и мощность, рассеиваемая на 1 и 2 выше. Если обратные токи отличаются на два порядка, то величина

рассеиваемой мощности на транзисторах, включенных по схемам 1 и 2, больше всего на 1—5 мкВт, что даже для интегральной технологии несущественно.

Значительно меньшее значение обратных токов эмиттерных переходов является очень важным, т. к. позволяет работать при существенно меньших прямых токах, а следовательно, уменьшить общую потребляемую мощность микросхемы.

Схема 1 обладает самым высоким быстродействием. За счет глубокой отрицательной обратной связи не происходит накопления избыточных носителей, а, следовательно, время рассасывания практически равно нулю, что обеспечивает практически мгновенное время восстановления обратного сопротивления.

Включение транзистора по схеме 5 нецелесообразно, т. к. она объединяет всё худшее предыдущих схем.

11.6 Модель интегрального биполярного транзистора

На рис. 11.10 приведена модель интегрального транзистора типа $n-p-n$, аналогичная модели Эберса — Молла дискретного транзистора. Она учитывает, что в структуре интегрального транзистора, кроме основного $n-p-n$ транзистора, имеется паразитный $p-n-p$ транзистор. Диоды $VD1—VD3$ — моделируют свойства эмиттерного, коллекторного и изолирующего $p-n$ переходов соответственно.

Вольт-амперные характеристики этих диодов аппроксимируются формулами:

$$I_1 = I_{Э0} \left[e^{U_{БЭ}/\Phi_T} - 1 \right], \quad I_2 = I_{К0} \left[e^{U_{КБ}/\Phi_T} - 1 \right], \quad I_3 = I_{И0} \left[e^{U_{КП}/\Phi_T} - 1 \right],$$

где $I_{Э0}$, $I_{К0}$, $I_{И0}$ — параметры модели, имеющие смысл тепловых обратных токов эмиттерного, коллекторного и изолирующего переходов. Положительными считаются токи I_1 , I_2 , I_3 , соответствующие прямым включениям переходов. Положительные направления токов во внешних выводах эмиттера, базы, коллектора и подложки показаны стрелками на рис. 11.10. Эти токи совпадают с направлениями токов в активном режиме как для основного, так и для паразитного транзисторов. Напряжения между

внешними выводами эмиттер — база $U_{ЭБ}$, коллектор — база $U_{КБ}$, коллектор — подложка $U_{КП}$ и напряжения на $p-n$ переходах $U_{ЭБ}^1$, $U_{КБ}^1$, $U_{КП}^1$ считаются положительными, если соответствующий переход включен в прямом направлении.

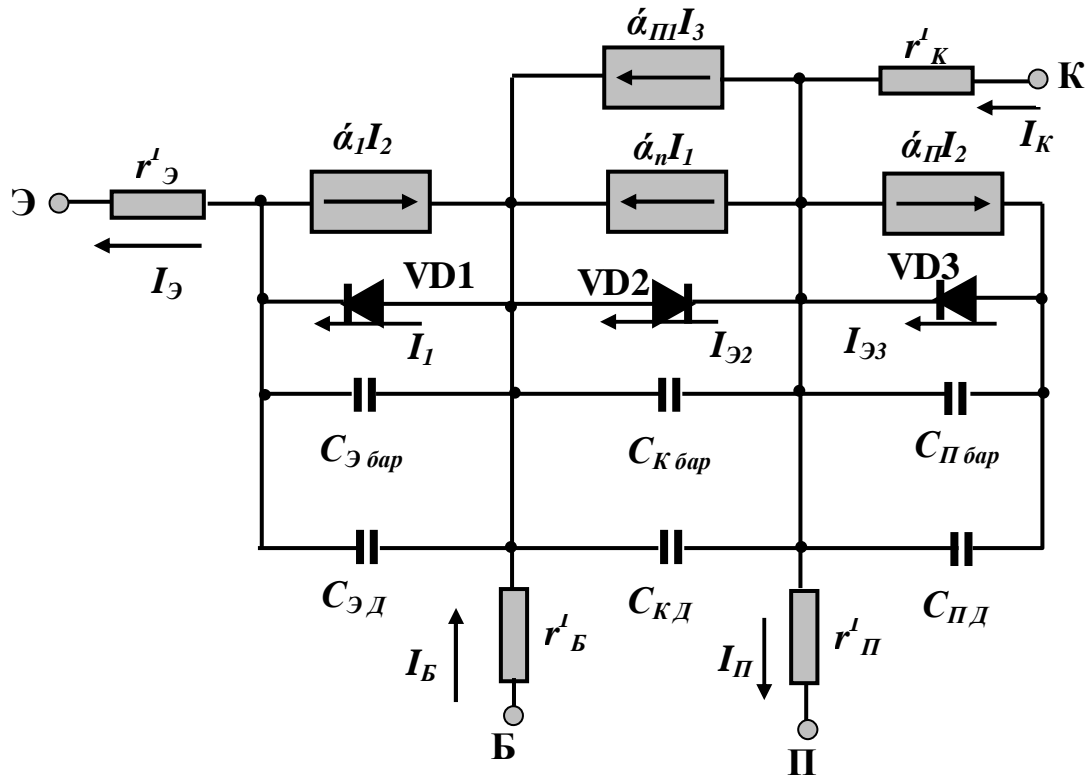


Рис. 11.10 — Модель биполярного интегрального транзистора

Взаимодействие переходов транзистора учитывается четырьмя генераторами тока. Генератор тока $\alpha_n I_1$, включенный параллельно диоду $VD2$, учитывает передачу тока из эмиттера в коллектор, а генератор тока $\alpha_{\Pi i} I_3$ — из подложки в коллектор. Здесь $\alpha_{\Pi i}$ — инверсный коэффициент передачи паразитного $p-n-p$ транзистора, а генератор тока $\alpha_{\Pi n}$, включенный параллельно диоду $VD3$, из базы в подложку ($\alpha_{\Pi n}$ — нормальный коэффициент передачи паразитного транзистора). Статические параметры модели — тепловые обратные токи переходов и коэффициенты передачи тока связаны между собой двумя соотношениями: $\alpha_n I_{Э0} = \alpha_i I$, $\alpha_{\Pi} I_{К0} = \alpha_{\Pi 1} I_{И0}$.

Таким образом, из семи перечисленных параметров независимыми являются пять. Модель интегрального биполярного транзистора содержит четыре резистора: r_{ε}^1 , r_B^1 , r_K^1 , r_{Π}^1 , учитывающих влияние сопротивлений полупроводниковых областей эмиттера, базы, коллектора и подложки соответственно.

Сопротивления перечисленных резисторов являются параметрами модели. Модель включает также барьерные и диффузионные емкости переходов: эмиттерного $C_{\text{ЭБАР}}$, $C_{\text{ЭД}}$, коллекторного $C_{\text{КБАР}}$, $C_{\text{КД}}$ и изолирующего $C_{\text{ВБАР}}$, $C_{\text{ИД}}$, что позволяет использовать ее для анализа работы транзистора в импульсном режиме.

МДП-транзисторы интегральных микросхем

В микросхемах наиболее широко распространены МДП-транзисторы с индуцированными каналами n -типа. Транзисторы со встроенными каналами используют реже, в основном как пассивные элементы (нелинейные резисторы).

11.7 Полевые транзисторы с управляющим переходом металл-полупроводник

Полевые транзисторы с управляющим переходом металл-полупроводник являются основными активными элементами арсенид галлиевых микросхем. Главная цель их разработки состояла в повышении быстродействия. Цифровые арсенид-галлиевые микросхемы относятся к классу сверхскоростных, которые применяются для работы в диапазоне сверхвысоких частот.

При разработке полевых транзисторов с управляющим переходом металл-полупроводник и микросхем на их основе используются следующие преимущества арсенида галлия по сравнению с кремнием: более высокая подвижность электронов в слабых электрических полях и скорость насыщения в сильных полях, большая ширина запрещенной зоны и, как следствие, значительно более высокое удельное сопротивление нелегированного арсенида галлия, позволяющее создавать полуизолирующие подложки микросхемы.

Простейшая структура МЭП-транзистора

Одна из первых структур арсенид-галлиевого МЭП-транзистора (поперечный разрез) показана на рис. 11.11. Транзистор создают на подложке 1 из нелегированного арсенида галлия. Нелегированный арсенид галлия имеет слабо выраженную проводимость p -типа. Для ее уменьшения при выращивании монокристаллов иногда вводят в небольших количествах атомы хрома, компенсирующие действие акцепторов. Подложки, изготовленные из такого материала, обладают повышенным удельным сопротивлением, и их называют полуизолирующими.

У поверхности подложки методом ионного легирования формируют сильнолегированные области истока и стока n^+ -типа, а затем — тонкий слой канала n -типа. На поверхность подложки над слоем 3 наносят металлический электрод 4 затвора 3. Металлические электроды 5, для которых применяют композицию золото-германий, обеспечивают омические контакты к областям истокам и стока С. На поверхность подложки, не используемую для контактов, наносят слой диэлектрика 6, например диоксида кремния. Металлический электрод затвора образует со слоем 3 выпрямляющий контакт — барьер Шотки, типичная равновесная высота которого 0,8 В. Проводящий канал между истоком и стоком располагается в слое 3 и ограничен сверху обедненной областью 7 барьера Шотки, а снизу — подложкой.

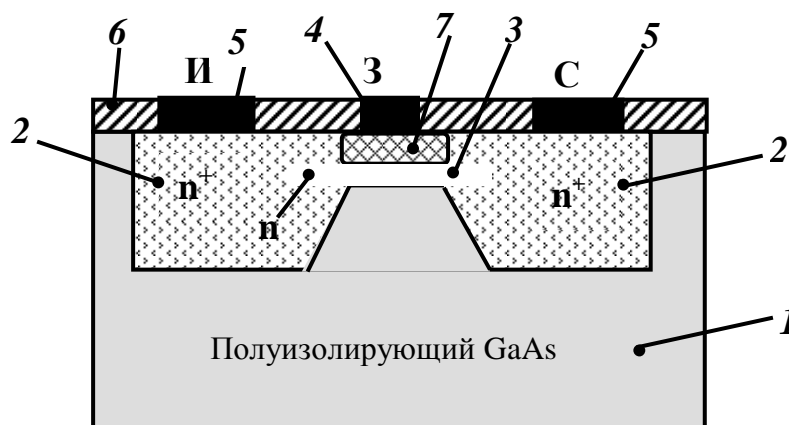


Рис. 11.11 — Структура МЭП-транзистора

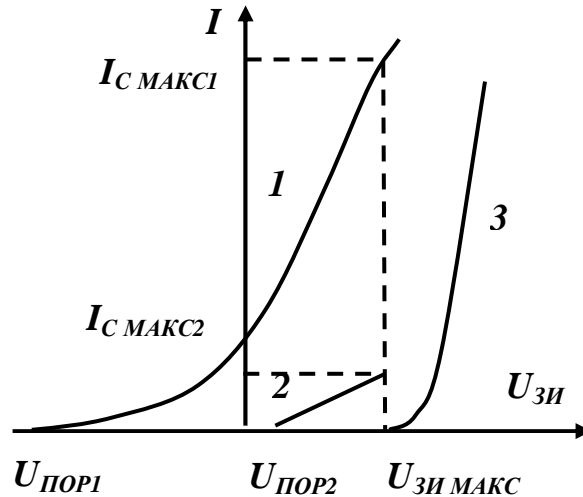


Рис. 11.12 — Сток-затворные характеристики МЭП-транзистора

Если напряжение на затворе равно пороговому $U_{ПОР1}$, то граница обедненного слоя 7 достигает полуизолирующей подложки (толщина канала и ток стока равны нулю). Требуемое пороговое напряжение обеспечивают выбором концентрации доноров в канале и толщины d_0 слоя 3.

В арсенид-галлиевых микросхемах применяют МЭП-транзисторы, для которых $U_{ПОР} = -2,5 \text{ — } +0,2 \text{ В}$. Если $U_{ПОР} < 0$, то при $U_{ЗИ} = 0$ канал является проводящим и транзистор называют нормально открытым — он аналогичен МДП-транзистору с встроенным каналом. При $U_{ПОР} > 0$ и $U_{ЗИ} = 0$ канал перекрыт обедненным слоем 7 и транзистор называют нормально закрытым, он аналогичен МДП-транзистору с индуцированным каналом. На рис. 11.12 приведены стоко-затворные характеристики нормально открытого 1 и нормально закрытого 2 транзисторов, а также их входная характеристика 3. Для нормально открытых МЭП-транзисторов управляющее напряжение затвора, при котором протекает ток стока, может изменяться от отрицательных значений, превышающих пороговое, до небольших положительных (не более $0,6 \text{ В}$). При больших положительных напряжениях на затворе в его цепи появляется нежелательный ток I_3 , так как открывается переход металл-полупроводник (кривая 3). Поэтому ток стока ограничен величиной $I_{С.макс1}$. Для нормально закрытых транзисторов напряжение затвора, при котором протекает ток стока, положительное и может изменяться в пределах $0 \text{—} 0,6$.

Вопросы для самопроверки

1. Структура биполярного транзистора интегральных микросхем.
2. Образование паразитного транзистора при изоляции $p-n$ переходом и схема соединения его с основным.
3. Достоинства и недостатки диэлектрической изоляции по сравнению с изоляцией $p-n$ переходом.
4. Изопланарная технология изготовления биполярных транзисторов.
5. Технология изготовления многоэмиттерных транзисторов.
6. Структура биполярного транзистора с диодом Шотки.
7. Схемы включения биполярных транзисторов в диодном режиме.
8. Модель интегрального биполярного транзистора.
9. Основные причины ухудшения параметров интегральных транзисторов от дискретных.
10. Простейшая структура МЭП-транзистора.
11. Физика работы МЭП-транзистора.
12. Основные достоинства МЭП-транзисторов.

12 ПАССИВНЫЕ ЭЛЕМЕНТЫ

В полупроводниковых микросхемах наиболее распространенными пассивными элементами являются резисторы.

Вследствие низкого удельного сопротивления полупроводниковых слоев они занимают большую площадь на кристалле. Поэтому микросхемы проектируют так, чтобы число резисторов было минимальным, а их сопротивления обычно менее 10 кОм. Аналоговые микросхемы содержат, как правило, больше резисторов, чем цифровые. Во многих цифровых микросхемах (например, на полевых транзисторах) резисторов нет — вместо них используют транзисторы.

Полупроводниковые резисторы имеют сильную температурную зависимость и большой технологический разброс сопротивления. Иногда вместо полупроводниковых резисторов применяют тонкопленочные резисторы с лучшими параметрами, но при этом технологический процесс усложняется.

Основная часть полупроводниковых микросхем не содержит конденсаторов из-за их большой площади. Например, полупроводниковый или тонкопленочный конденсатор емкостью всего 50 пФ занимает приблизительно такую же площадь, как 10 биполярных или 100 МДП-транзисторов. Поэтому, если требуется емкость более 50...100 пФ, применяют внешние дискретные конденсаторы, для подключения которых в микросхемах предусматривают специальные выводы.

В некоторых микросхемах конденсаторы малой емкости объединяются с другими элементами. Например, в элементах памяти динамического типа конденсаторы совмещены с МДП-транзисторами, в логических элементах на арсениде галлия с металл-полупроводниковыми диодами. Конденсаторы емкостью порядка 10 пФ на основе МДП-структур используются в некоторых аналоговых микросхемах, обладающих частотной избирательностью сигналов (например, в активных фильтрах). На высоких частотах МДП-конденсаторы имеют низкую добротность, так как одной из обкладок служит полупроводниковый слой со значительным сопротивлением. Высокую добротность обеспечивают тонкопленочные конденсаторы. Такие конденсаторы емкостью 0,1...1 пФ, а также тонкопленочные индуктивные элементы (доли

наногенри) применяют в полупроводниковых аналоговых арсенид-галлиевых СВЧ-микросхемах. На более низких частотах индуктивные элементы не используют. В некоторых случаях индуктивный эффект получают схемным путем (применяя операционные усилители с RC -цепями обратной связи, активные фильтры и др.). Для других случаев применения, где индуктивности необходимы, используют катушки, находящиеся вне корпуса микросхемы. В гибридных микросхемах широко распространены пленочные резисторы с сопротивлениями от нескольких Ом до единиц мегаом. Если требуется высокая плотность резисторов на подложке, применяют тонкопленочную технологию, если же необходима низкая стоимость микросхем, а плотность элементов не столь существенна — толстопленочную. В низкочастотных микросхемах применяют дискретные миниатюрные конденсаторы и катушки индуктивности. Пленочные реактивные элементы с емкостями менее 100 пФ и индуктивностями менее 1 мкГн используют в аналоговых высокочастотных микросхемах. В сантиметровом диапазоне СВЧ требуются элементы малых размеров (много меньше длины волны), которые следует воспроизводить с высокой точностью. Для этого необходима тонкопленочная технология. Она также обеспечивает меньшее сопротивление проводящих слоев по сравнению с толстопленочной технологией, более высокую добротность элементов. В этом диапазоне используют и пассивные тонкопленочные элементы на основе микрополосковых линий передачи с распределенными емкостью и индуктивностью. Размеры элементов — порядка длины волны, поэтому их плотность относительно низкая.

12.1 Полупроводниковые резисторы

В полупроводниковых микросхемах на биполярных транзисторах для упрощения технологии в качестве резисторов широко используют базовые слои p -типа. Рассмотрим изопланарную структуру, поперечный разрез которой показан на рис. 12.1, *а*. Резистивный слой 1 p -типа толщиной 1...2 мкм размещен в кармане 2 n -типа, изолированном с боковых сторон диоксидом кремния 3. На концах слоя 1 созданы контакты 4. Для снижения площади ширина b резистивной полоски (см. вид сверху на рис. 12.1, *б*)

выбирается минимальной. Для повышения сопротивления ($R = R_{сл} \frac{a}{b}$) длину a увеличивают. Резисторы с большими сопротивлениями (порядка 10 кОм) — выполняют в виде меандра (рис. 12.1, *в*), а с малыми (десятки Ом) в виде широких полосок (рис. 12.1, *з*). Чтобы ток протекал только по слою 1, на p - n переходе между слоями 1 и 2 должно быть обратное напряжение. Для этого область 2 с помощью контакта 5 подключается к плюсу источника питания. Сопротивление увеличивается с ростом температуры из-за снижения подвижности дырок, причем температурный коэффициент сопротивления (ТКС) равен 0,1...0,3 %/°С. Технологический разброс сопротивлений для разных микросхем $\delta R/R = 10\%$, в то же время резисторы с одинаковой геометрией на одном кристалле практически идентичны. Разброс отношения сопротивлений резисторов на одном кристалле менее 0,1 %, их $TKC < 0,01\%/^{\circ}C$.

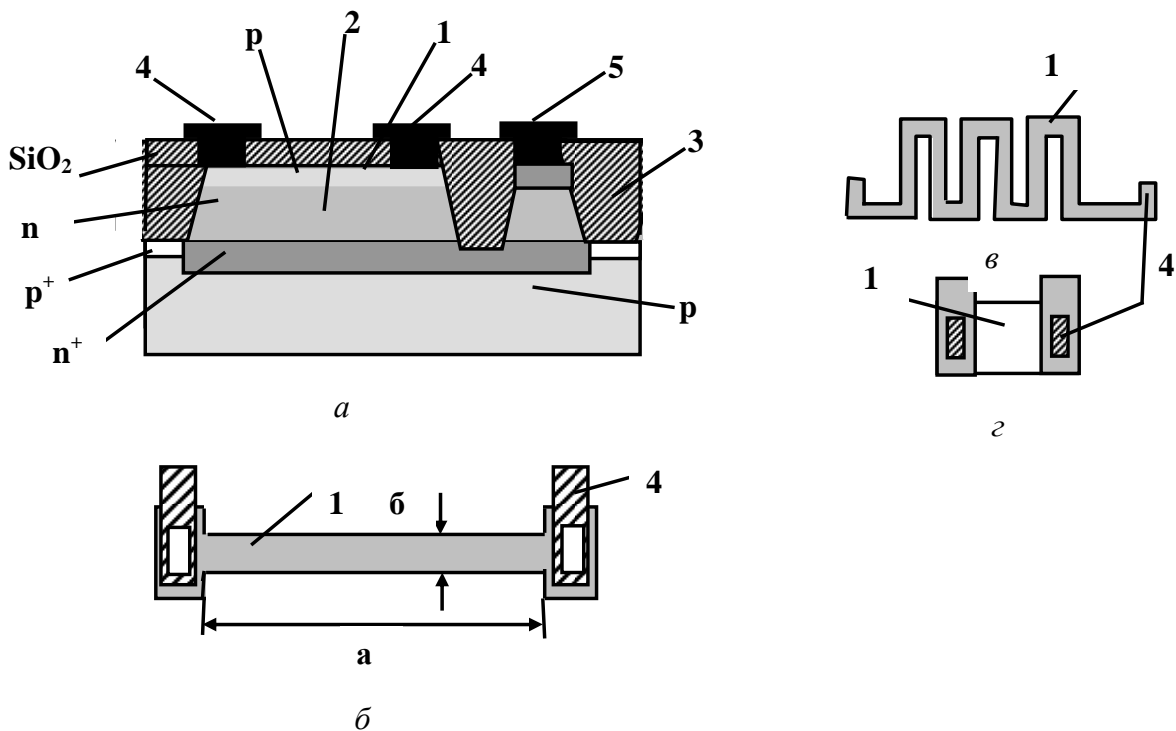


Рис. 12.1 — Структура интегрального резистора

Удельная барьерная емкость p - n перехода между слоями 1 и 2 равна $(2 \dots 4) \cdot 10^{-4}$ пф/мкм². Резистор вместе с распределенной по его длине емкостью образует RC -линию, которую можно

использовать в аналоговых микросхемах для получения частотно-избирательных цепей.

Однако в большинстве случаев емкость является нежелательной (паразитной), так как ухудшает быстродействие микросхем. Модель резистора, в которой распределенная емкость заменена сосредоточенной, приведена на рис. 12.2. Влиянием паразитной емкости C_K в ряде случаев можно пренебречь.

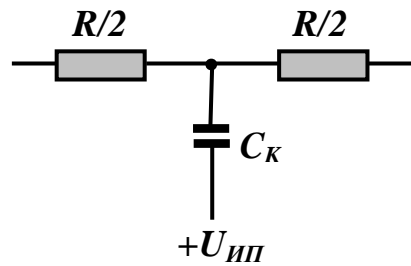


Рис. 12.2 — Эквивалентная схема интегрального резистора

Значения R и C_K пропорциональны длине резистора a . С помощью специальной операции ионного легирования, не связанной с формированием базы, можно создать очень тонкий (0,1...0,2 мкм) резистивный слой 1 (рис. 12.3) с сопротивлением до 20 кОм/□. Для получения контактов на его концах формируют более толстые области p^+ -типа. В микросхемах на полевых транзисторах в качестве резисторов используют транзисторы с нелинейной или квазилинейной ВАХ и реже тонкие ионно-легированные слои.

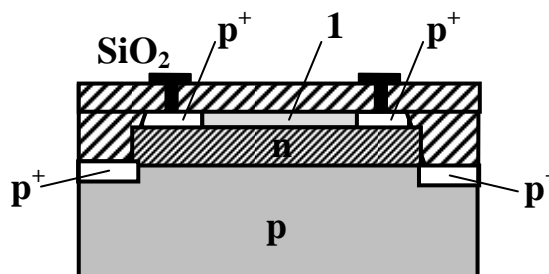


Рис. 12.3 — Интегральный резистор по МОП-технологии

На рис. 12.4 показан ионно-легированный резистор в арсенид-галлиевой микросхеме (1 — резистивный слой, 2 — полупроводниковая подложка, 3 — контактные области). Так как подложка является изолятором, паразитная емкость пренебрежимо мала. Из-за большой подвижности электронов сопротивление слоя при той же дозе легирования ($N_{ЛД} = N_{ЛА}$) на порядок меньше, чем в кремниевых микросхемах.

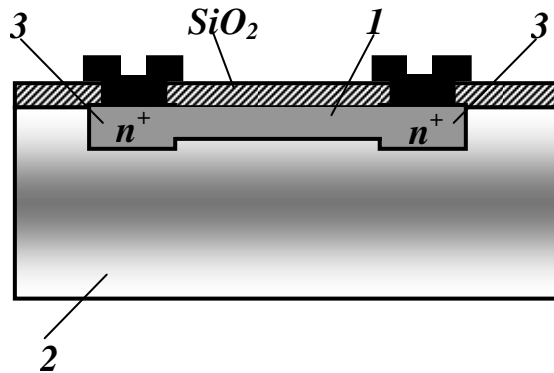


Рис. 12.4 — Интегральный резистор при арсенид-галлиевой технологии

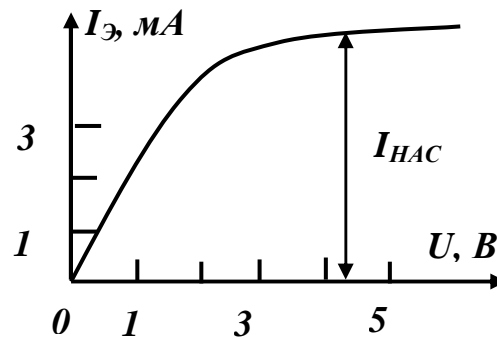


Рис. 12.5 — Вольт-амперная характеристика резистора

При малой длине резистора его ВАХ нелинейна (рис. 12.5), что обусловлено эффектом насыщения дрейфовой скорости электронов. Он проявляется, когда напряженность электрического поля в слое 1, равная U/a , превышает критическое значение $E_{кр} = 0,3 \text{ В/мкм}$.

12.2 Пленочные резисторы

Структура резистора гибридной микросхемы показана на рис. 12.6, *а* (1 — резистивный слой, 2 — подложка, 3 — металлические контакты). В зависимости от требуемого сопротивления резистор может иметь конфигурацию полоски (рис. 12.6, *б*), параллельных полосок с металлическими перемычками (рис. 12.6, *в*) либо меандра (рис. 12.6, *г*). Большим сопротивлением (до 10 кОм/□) обладают тонкие пленки резистивных сплавов, например кремния и хрома в различных процентных соотношениях. Тонкопленочные резисторы применяются не только в гибридных, но и в некоторых полупроводниковых микросхемах.

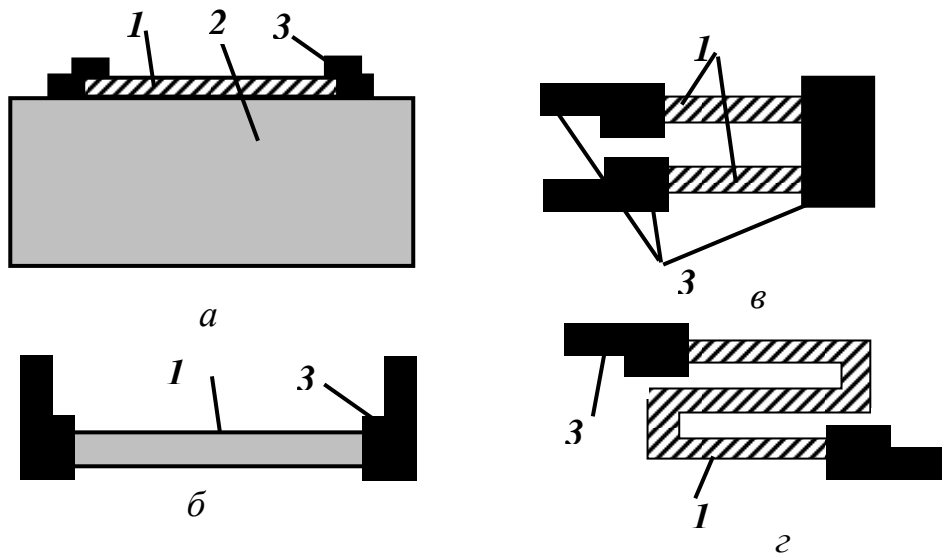


Рис. 12.6 — Структура резистора при гибридной технологии

Резистивный слой в них наносят непосредственно на поверхность нелегированной подложки.

12.3 Конденсаторы

На рис. 12.7, *а* показана структура МДП-конденсатора. Одной из обкладок является n^+ -слой 1 толщиной 0,3...1 мкм, другой слой металла (алюминия) — 2, а диэлектриком — слой 3 диоксида кремния. Такой конденсатор применяют в полупроводниковых микросхемах.

При незначительном усложнении технологического процесса требуются дополнительные операции литографии и окисления для создания слоя 3. Слой 1 формируется с помощью той же операции легирования, что и эмиттеры биполярных транзисторов или истоки и стоки n -канальных МДП-транзисторов. Топологическая конфигурация конденсатора — квадратная или прямоугольная. Для увеличения удельной емкости толщина d слоя 3 выбирается минимально возможной исходя из условия отсутствия пробоя: $d \geq U_{\text{ПРОБ}} / E_{\text{ПРОБ}}$, где $E_{\text{ПРОБ}}$ — электрическая прочность слоя 3, т. е. напряжённость поля, при котором начинается пробой (около 600 В/мкм). Поэтому максимальная удельная ёмкость $C_0 = \epsilon_0 \epsilon_d / d = \epsilon_0 \epsilon_d E_{\text{ПРОБ}} / U_{\text{ПРОБ}}$.

На рис. 12.7 приведена эквивалентная схема конденсатора, где r — сопротивление слоя 1, $C_{\text{пар}}$ — паразитная ёмкость между слоем 1 и подложкой (барьерная ёмкость изолирующего перехода), которая в 4 — 7 раз меньше полезной ёмкости C . Если обкладка 1 в схеме не соединена с общей шиной микросхемы, то высокочастотный сигнал, проходящий через конденсатор, ослабляется емкостным делителем в $1 + C_{\text{ПАР}} / C$. Добротность полупроводникового конденсатора на частоте 10 МГц не превышает 750, на частоте 1 ГГц добротность составляет 0,75.

Поэтому полупроводниковые МДП-конденсаторы неприменимы в СВЧ-диапазоне. В СВЧ-диапазоне используют тонкоплёночные конденсаторы.

В отдельных случаях в качестве конденсаторов в интегральных схемах на биполярных транзисторах используют барьерные ёмкости p - n переходов. Такие конденсаторы могут работать только при одной полярности на переходе. Добротность этих конденсаторов мала как на низких, так и на высоких частотах.

Низкая добротность и большие размеры, которые конденсаторы занимают на подложке, практически исключают их изготовление по интегральной технологии. Это приводит к некоторым схемотехническим трудностям при разработке интегральных схем, особенно БИС.

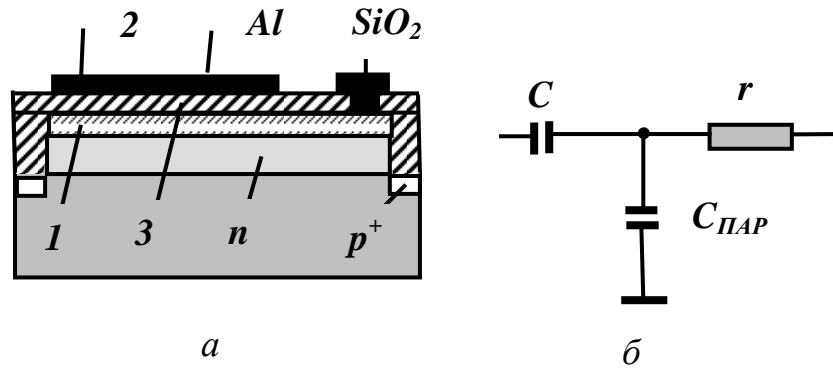


Рис. 12.7 — Структура интегрального конденсатора (а) и его эквивалентная схема (б)

Вопросы для самопроверки

1. Технология изготовления полупроводниковых резисторов.
2. Методы изоляции при изготовлении резисторов.
3. Ограничения на величину сопротивления полупроводниковых резисторов.
4. Недостатки полупроводниковых резисторов.
5. Плёночные резисторы и технология их изготовления.
6. Технология интегральных конденсаторов.

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. Агаханян Т. М. Основы транзисторной электроники / Т. М. Агаханян. — М. : Энергия, 1974. — 265 с.
2. Аваев Н. А. Основы микроэлектроники / Н. А. Аваев, Ю. Е. Наумов, В. Т. Фролкин. — М. : Радио и связь, 1991. — 288 с.
3. Зотов В. Д. Полупроводниковые устройства восприятия оптической информации / В. Д. Зотов. — М. : Энергия, 1976. — 151 с.
4. Росадо Л. Физическая электроника и микроэлектроника / Л. Росадо. — М. : Высшая школа, 1991.— 351 с.
5. Свечников С. В. Элементы оптоэлектроники / С. В. Свечников. — М. : Сов. радио, 1971. — 269 с.
6. Степаненко И. П. Основы теории транзисторов и транзисторных схем / И. П. Степаненко. — М. : Энергия, 1977. — 671 с.
7. Степаненко И. П. Основы микроэлектроники / И. П. Степаненко. — М. : Сов. радио, 2001. — 423 с.